



FPGAによる短波海洋レーダ向け ターゲットシミュレータ

玉城大地・長名保範・藤井智史
琉球大学理工学研究科

研究背景

- 広域的な海域を面的に観測可能である海洋レーダの導入、開発が近年進んできている
- 琉球大学においてレーダシステムの設計

★ 一号機

- 新潟大学で運用
- 船舶や航空機の観測



★ 二号機

- 静岡,御前崎で運用
- 波浪観測



- これまで設計したレーダでは実際に現地に赴き、稼働してから動作検証およびシステムの調整を行っていた。

システム全体での検証が
手間、非効率

研究目的

- 海洋レーダ向けハードウェアレベルで動作検証するための(レーダターゲット)シミュレータの設計
- シミュレータの役割はレーダの送信信号を受けて、あらかじめ設定した条件にあわせて疑似反射信号を作る。

距離

- レーダ観測可能距離の約10～100 kmの距離特性

ドップラー周波数

- 任意のドップラ特性($\pm 1\text{Hz}$ 未満)

信号強度

複数点でのターゲット

ターゲットシミュレータ

- ミリ波レーダ向けのシミュレータは数多く製品化されている



MRT7681

マイクロウェーブファクトリー(株)



ARTS9510

ローデ・シュワルツ



ASGARD

東陽テクニカ(株)

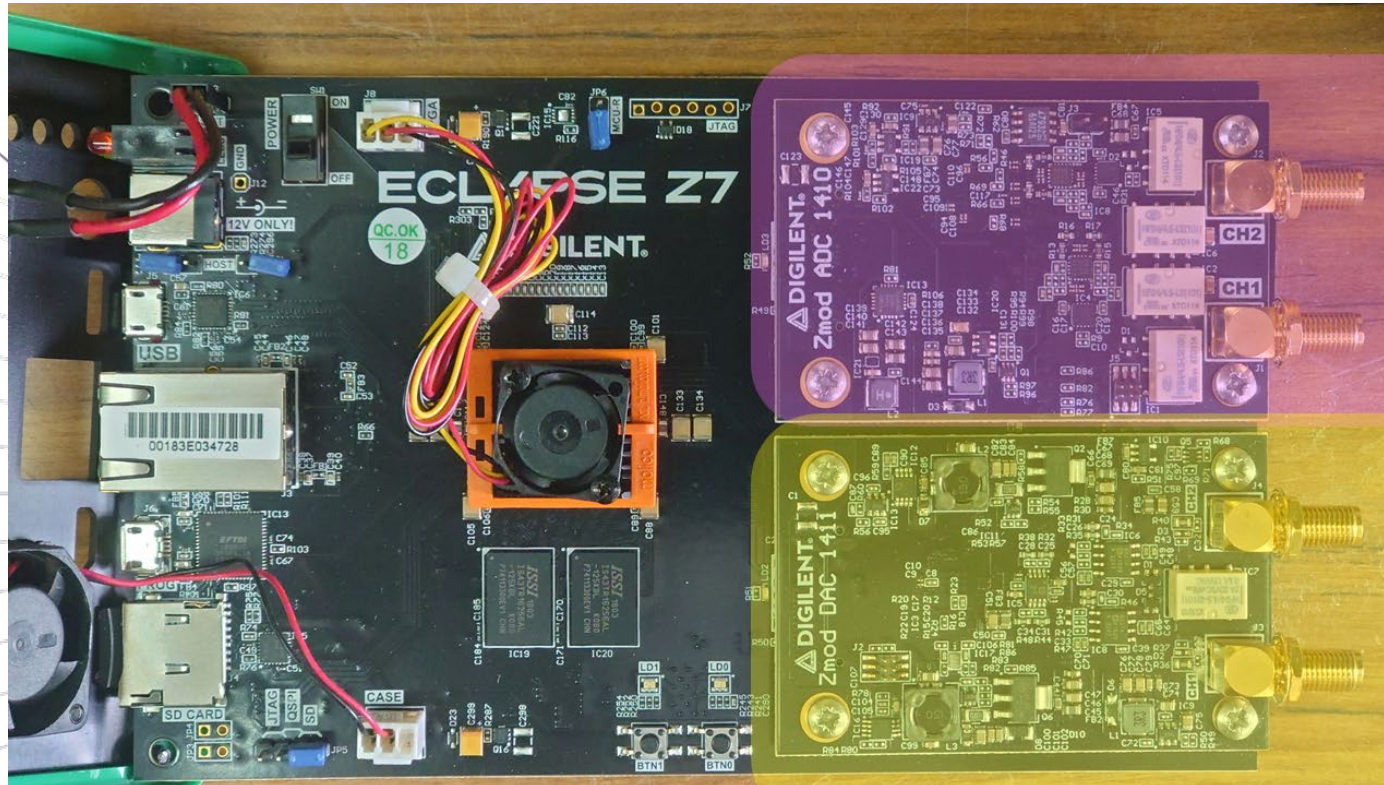
- 仕様

- 周波数範囲: 76~81GHz/24GHz
- 遅延範囲: 5 ~ 300m
- 速度ステップ: 100 m/h
 - ドップラー周波数
 - kHz オーダー

短波海洋レーダ

- 周波数範囲 5 ~ 42 MHz
- 遅延範囲 10 ~ 100 km
- 速度分解能 約5 cm/s (180 m/h)
 - ドップラー周波数
 - 0.5Hz(分解能0.007Hz)

Eclipse Z7(Digilent)



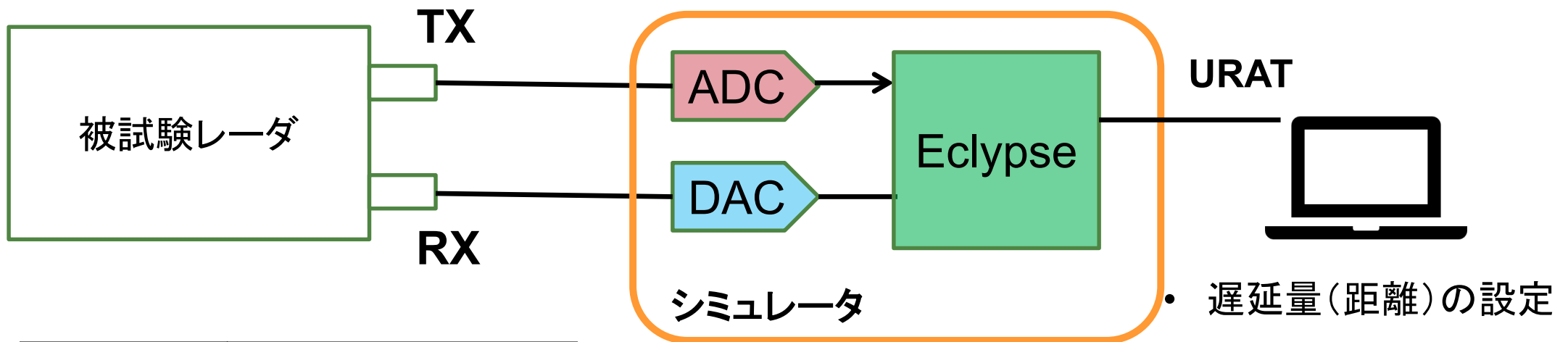
- DIGILENT
- Zmod ADC 1410
- 14 bit, 100 Msps, 2ch
- $\pm 1V$ (low gain mode)
- $\pm 25V$ (High gain mode)

- DIGILENT
- Zmod DAC 1411
- 14 bit, 100 Msps, 2ch
- 分解能
- $167 \mu V$ (1.25 V 以下)
- $665 \mu V$ (1.25 V 以上)



チップ型番	XC7Z020-1CLG484C
LC (ロジック・セル) 数	85,000
LUT (ルックアップ・テーブル) 数	53,200
FF (フリップフロップ) 数	106,400
DSP スライス数	220
ボードから PL に供給される外部クロック	125 MHz
内蔵ブロック RAM	630 k バイト
内蔵 CPU	デュアルコア ARM Cortex-A9
内蔵 CPU の最大動作周波数	667 MHz
ボード上の DDR3L メモリ	1G バイト

ブロック図



```
COM4 - Tera Term VT
ファイル(F) 編集(E) 設定(S) コントロール(C) ウィンドウ(W) ヘルプ(H)
Starting Permit User Sessions...
Starting OpenBSD Secure Shell server...
[ OK ] Started Permit User Sessions.
[ OK ] Started Serial Getty on ttyPS0.
Starting Set console scheme...
[ OK ] Started Set console scheme.
[ OK ] Created slice system-getty.slice.
[ OK ] Started Getty on tty1.
[ OK ] Reached target Login Prompts.
[ OK ] Started OpenBSD Secure Shell server.
[ OK ] Started Dispatcher daemon for systemd-networkd.

Ubuntu 18.04 LTS zynq ttyPS0

zynq login: zynq
Password:
Last login: Tue Dec 15 09:50:28 UTC 2020 on ttyPS0
Welcome to Ubuntu 18.04 LTS (GNU/Linux 4.19.0-xilinx armv7l)

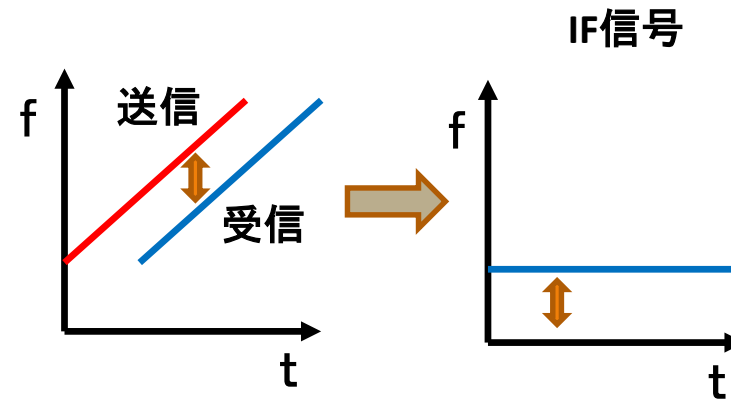
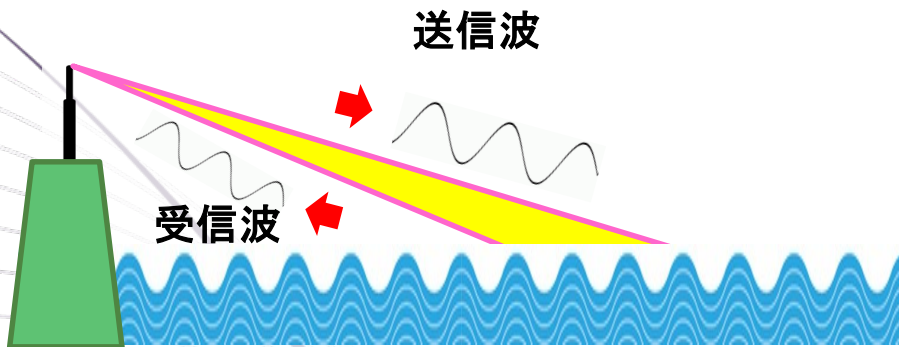
* Documentation: https://help.ubuntu.com
* Management: https://landscape.canonical.com
* Support: https://ubuntu.com/advantage

zynq@zynq:~$
```

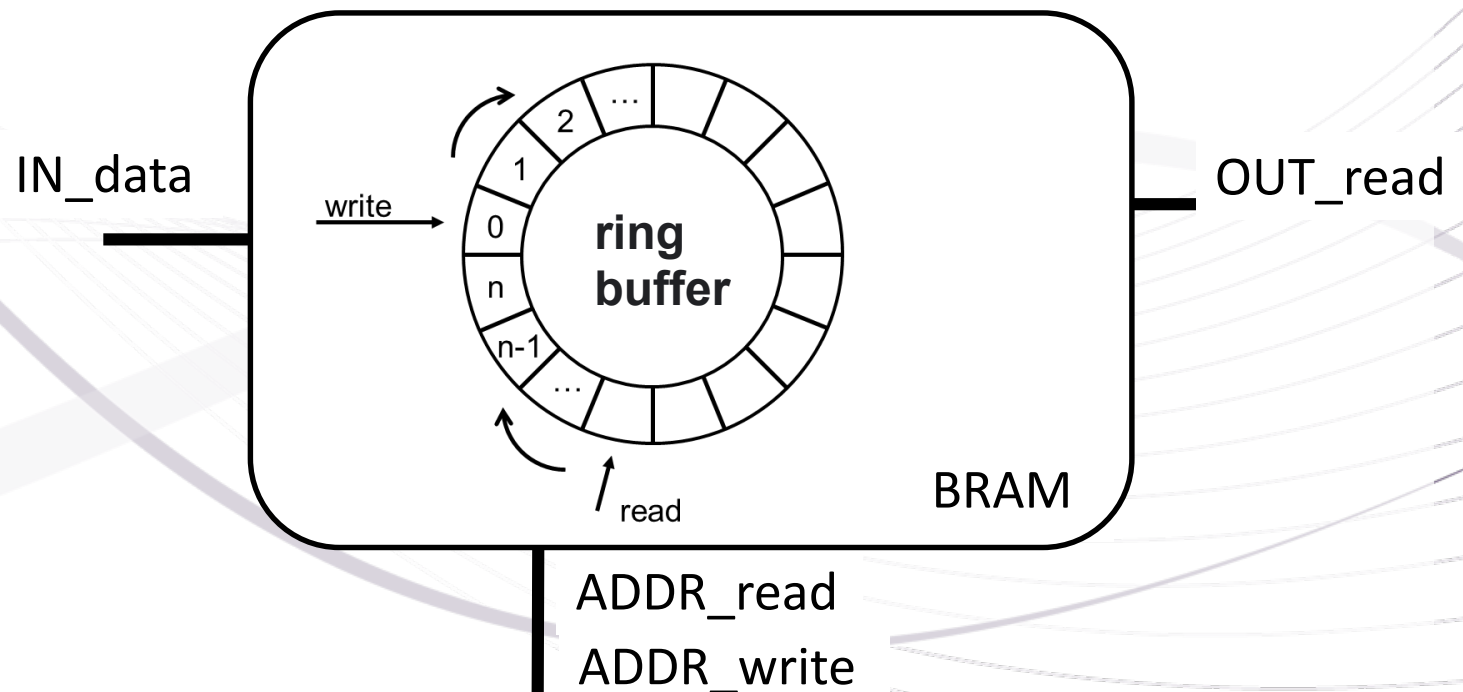
```
COM4 - Tera Term VT
ファイル(F) 編集(E) 設定(S) コントロール(C) ウィンドウ(W) ヘルプ(H)
[ 55.636477 ] zfifo: loading out-of-tree module taints kernel.
[ 55.637541 ] create 0 0x40400000
[ 55.637548 ] alloc
[ 55.637759 ] create 1 0x00000000
[ 55.637766 ] create 2 0x00000000
[ 55.637770 ] create 3 0x00000000
[ 55.637774 ] create 4 0x00000000
[ 55.637779 ] create 5 0x00000000
[ 55.637783 ] create 6 0x00000000
[ 55.637788 ] create 7 0x00000000
[ 55.642902 ] MM2S_DMASR: 0x10009
[ 55.642912 ] S2MM_DMASR: 0x10009
[ 55.642929 ] zfifo zfifo.0: DMA mask not set
[ 55.658083 ] zfifo zfifo0: driver version = 0.9.0
[ 55.658097 ] zfifo zfifo0: major number = 244
[ 55.658106 ] zfifo zfifo0: minor number = 0
[ 55.658116 ] zfifo zfifo0: DMA regs = 0x40400000
[ 55.658126 ] zfifo zfifo0: Tx descriptors = 0xf0bd6000 (phys 0x3f1000)
[ 55.658136 ] zfifo zfifo0: Rx descriptors = 0xf0cea000 (phys 0x3f3000)
[ 55.658145 ] zfifo zfifo.0: driver installed.
zynq@zynq:~$ ./set-delay 20000 13
Delay 20000, Freq 13.000000 (PINC=34078)
Data transferred correctly.
zynq@zynq:~$
```

距離特性

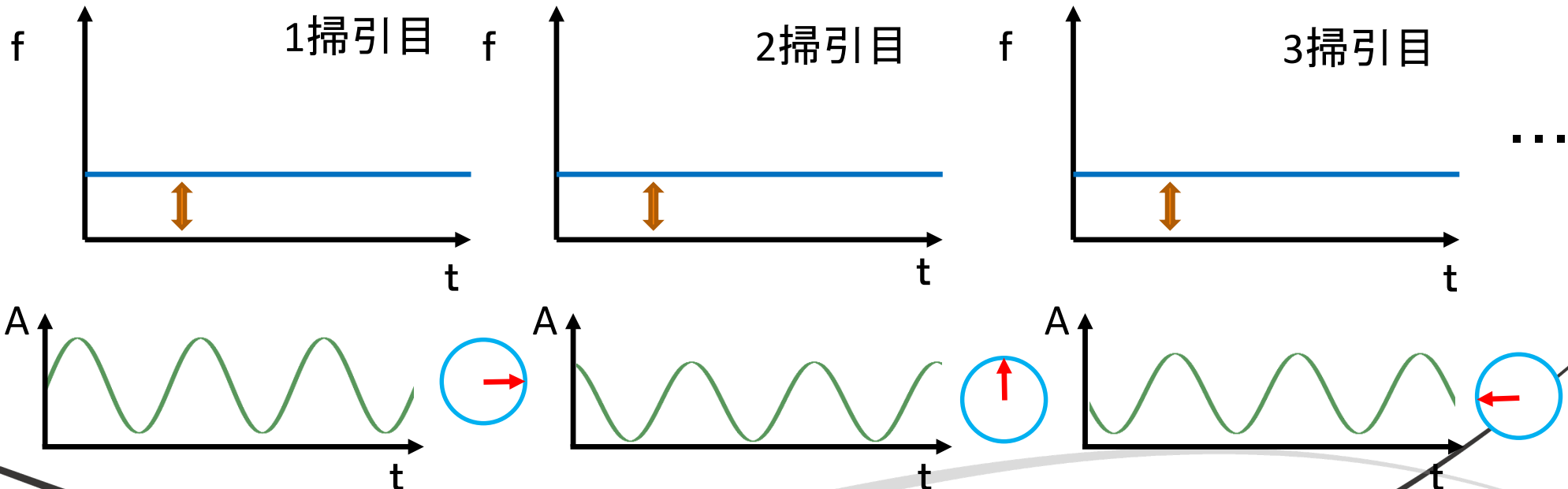
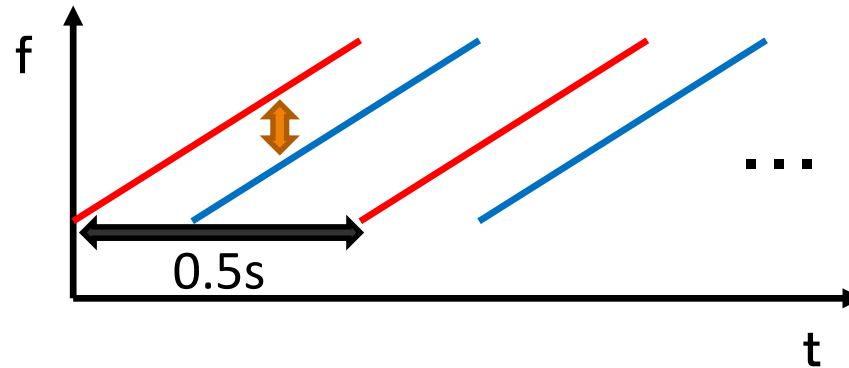
レーダ



- FPGAは100MHzのクロックで動作
 - 10ns単位でのデジタル遅延量を調整可能
 - 距離換算で1.5 m



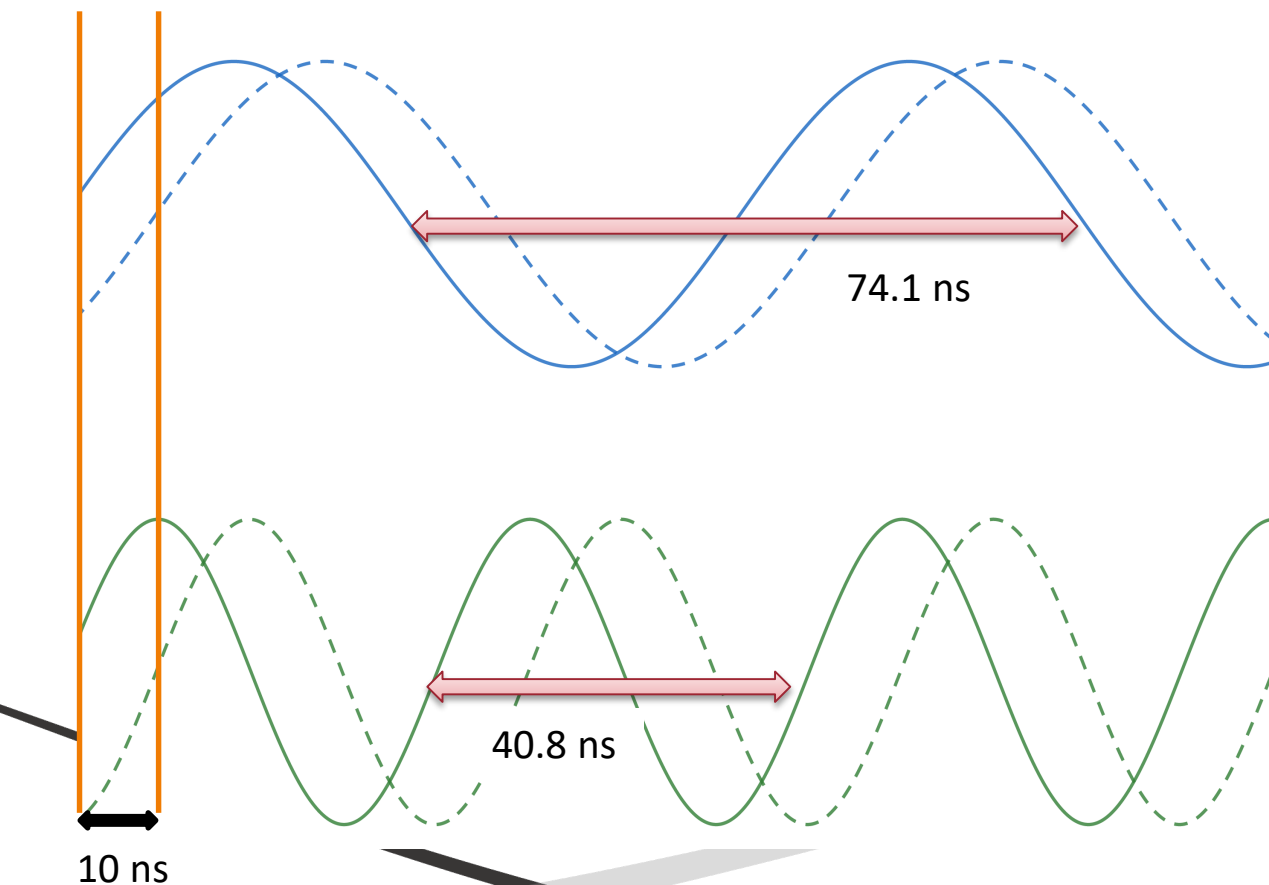
ドップラー特性



- 最小ステップでの遅延(10ns)の変化は距離の変化ではなく、位相変化として現れる

遅延による位相変化

- クロックサンプル(10ns)でのデジタル遅延による位相の変化は周波数帯によって変わる

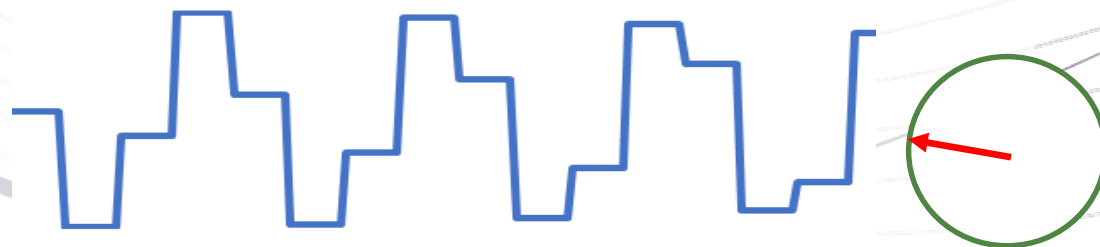
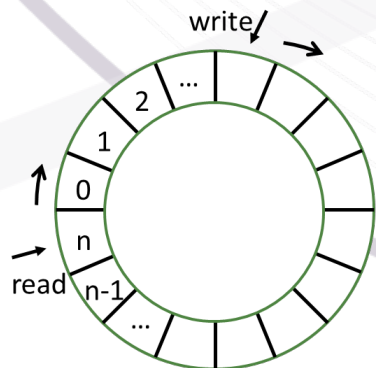
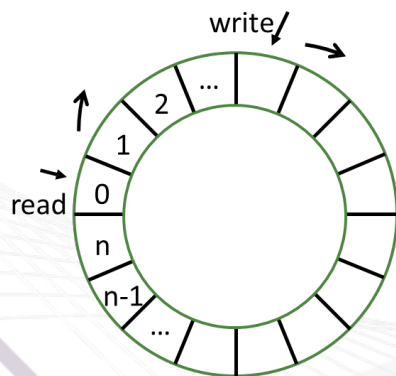
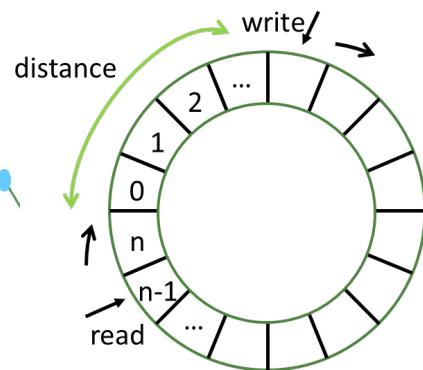


$$\begin{aligned}\phi &= (13.5 \times 10^6) * (10 \times 10^{-9}) * 360 \\ &= 48.6^\circ\end{aligned}$$

$$\begin{aligned}\phi &= (24.5 \times 10^6) * (10 \times 10^{-9}) * 360 \\ &= 88.2^\circ\end{aligned}$$

遅延による位相変化

AD変換
100 Msps



- 100Mspsでデジタルに変換後メモリに格納
- readとwriteのアドレス制御により設定した距離に応じて信号を遅延
- 各掃引信号で遅延を変化させる

ドップラ周波数

$$f_d = \frac{1}{T} \cdot \frac{\phi}{360^\circ}$$

T : 掃引周期

ϕ : 掃引間の位相変化

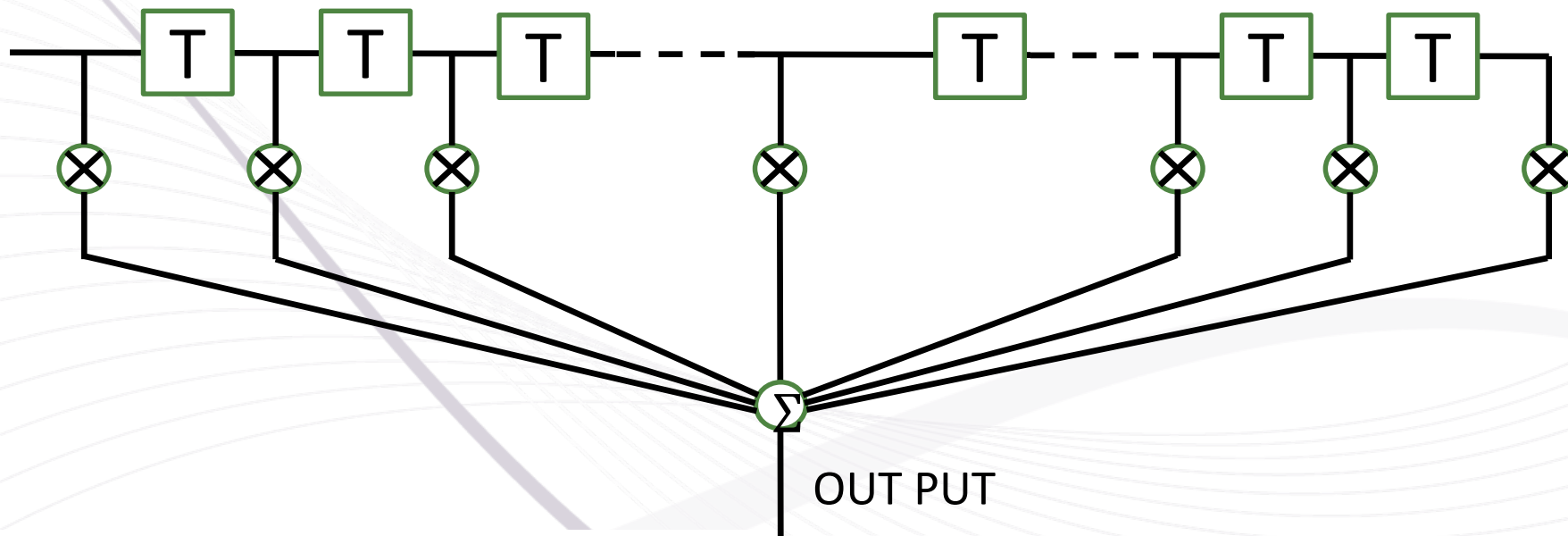
f_d : ドップラ周波数

- $T = 0.5 \text{ s}$, $\phi = 88.2^\circ$ @24.5 MHz のとき
 $f_{\text{d_clkdelay_step}} = 0.490 \text{ Hz}$

- 10nsステップでの遅延しかできないのでこの0.490Hzの定数倍のドップラ周波数しか作れない
- 任意のドップラー周波数を実現するにはさらに刻んだ遅延が必要
 - さらに高速で動作するボード使えば遅延を刻めるが...
 - 位相補償フィルタを作る

位相補償フィルタ

- FIRフィルタを用いたオールパスフィルタで位相補償する
 - 振幅特性を保ったまま位相特性を変化させる
 - ✧ ビームフォーミング (位相を調整して指向性を得る)



$$\omega_r(\rho) = \frac{\text{sinc}(x)\text{sinc}(y)}{1 - y^2}$$

$$x = r - \rho$$

$$y = (q - 1)x/q$$

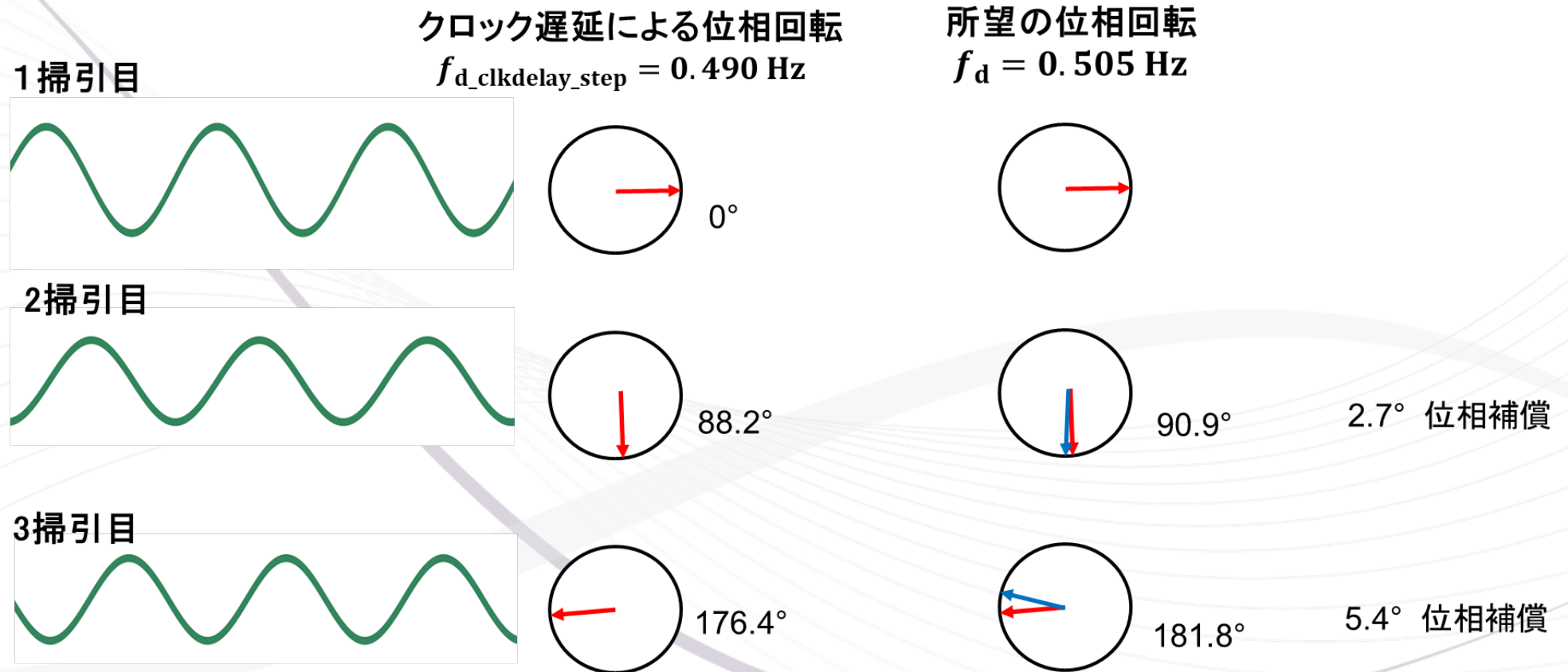
ρ : 遅延パラメータ ($-0.5 < \rho < 0.5$)

q : オーバーサンプリング係数

r : タップ番号

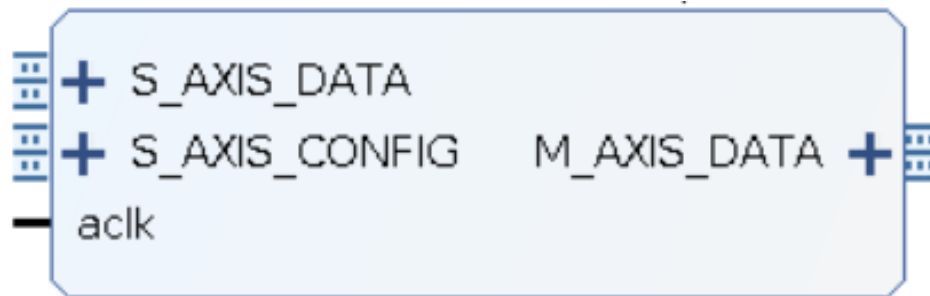
重みのセット数

- 各掃引信号に対して別の係数セットが必要



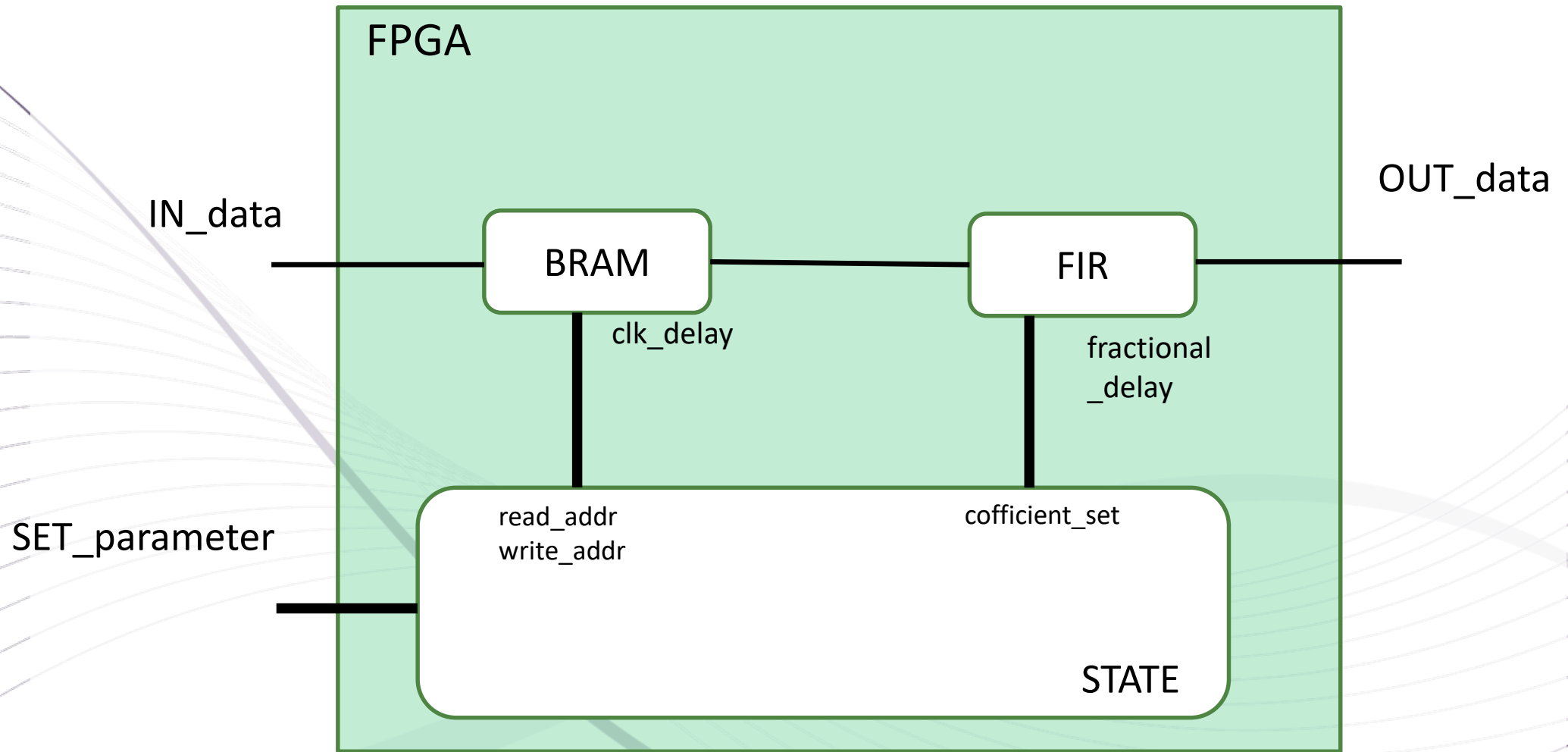
FIRフィルタ

- FPGAの論理合成、配置配線はXilinxの提供する設計環境vivado
- FIRはIPcoreを使用
 - 係数セットは指定されたフォーマットでcoeファイルとして保存し、論理合成時に参照される。
 - 係数セットの切り替えはCONFIGチャンネルで選択できる。

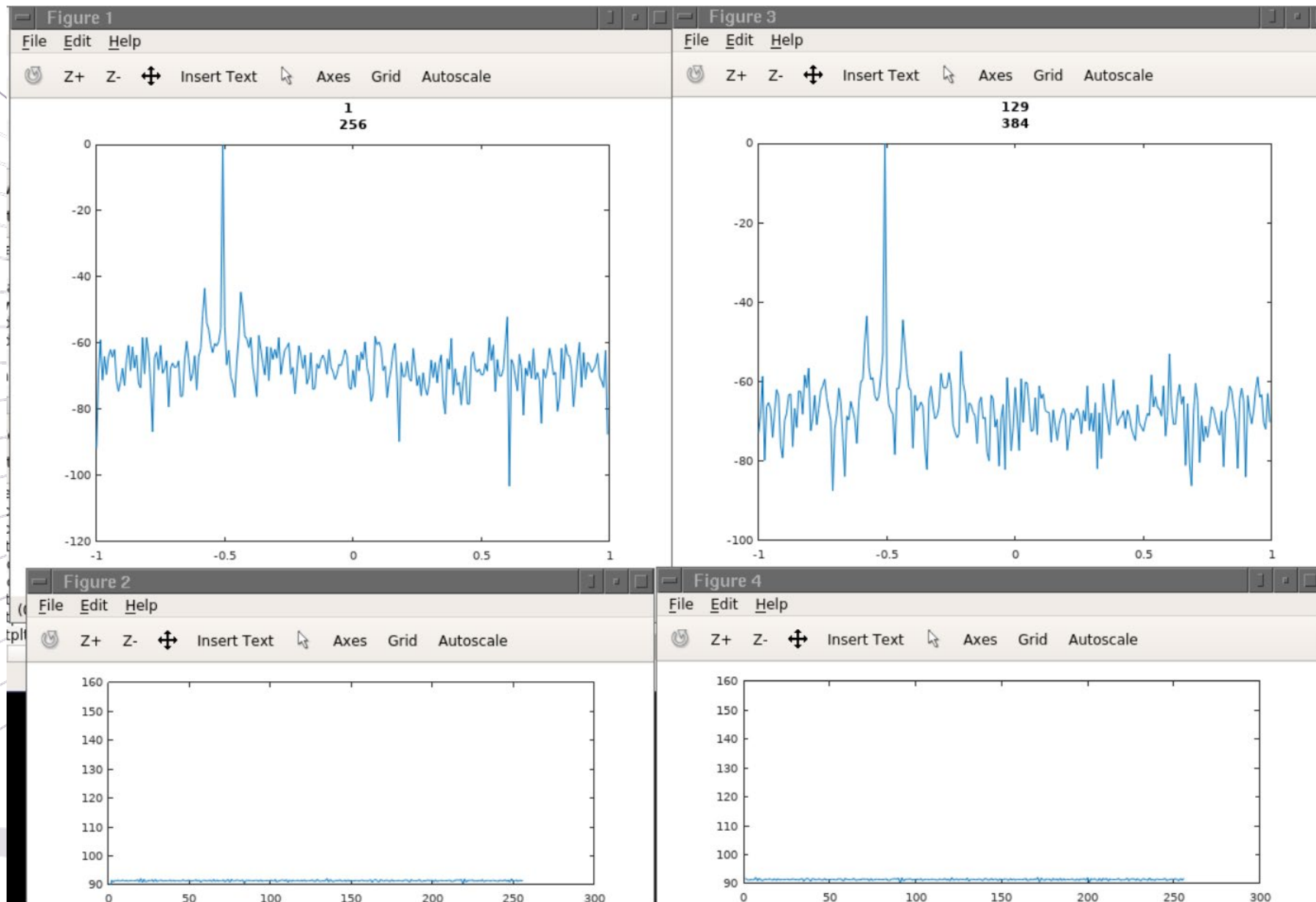


- 他のドップラー周波数に設定した際、係数セットの中身を変えるにはcoeファイルを書き直し、再度論理合成が必要

遅延部のブロック図

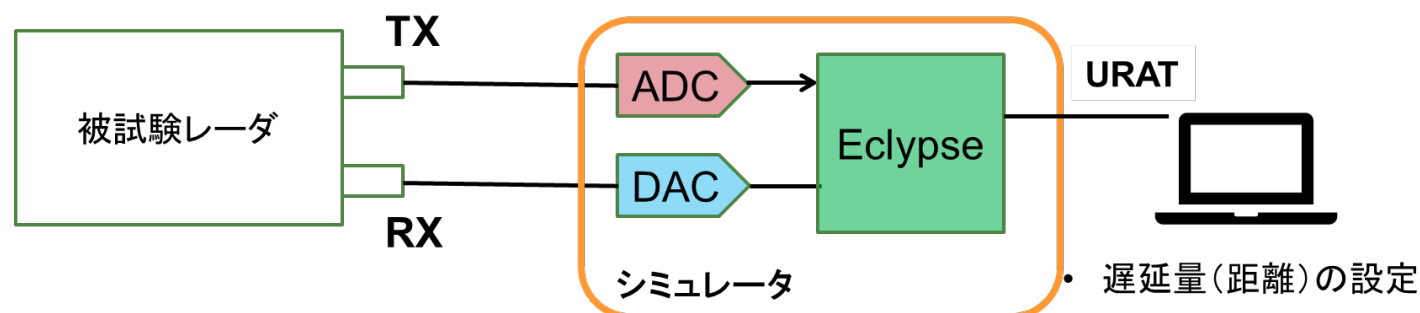


回路シミュレーション



レーダでのテストシミュレーション

- 今シミュレーションは非常にシンプルなケースを想定
 - 特定の一点からの、進みor遅れのドップラー信号

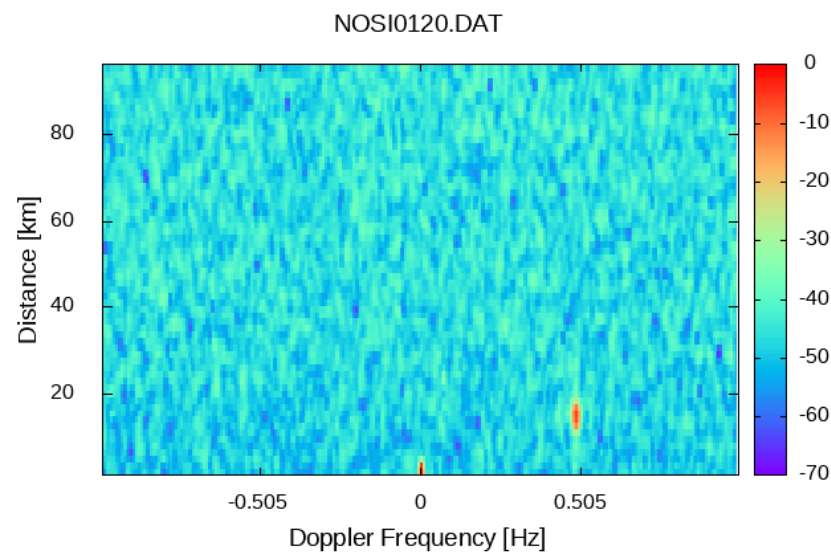
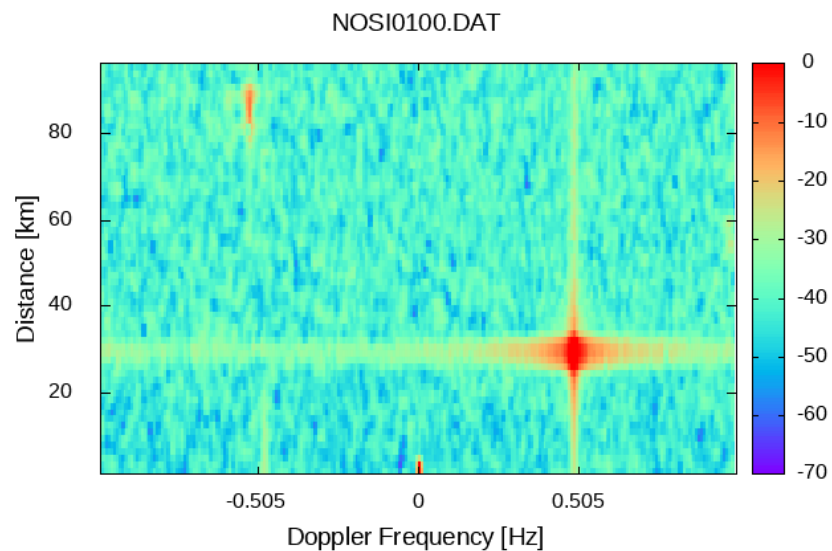


被試験レーダ諸元

電波型式	FMICW
中心周波数	24.515 MHz
周波数掃引幅	100 kHz
距離分解能	1.5 km
受信感度	-11 dBm ~ -125 dBm
掃引時間	0.5 s

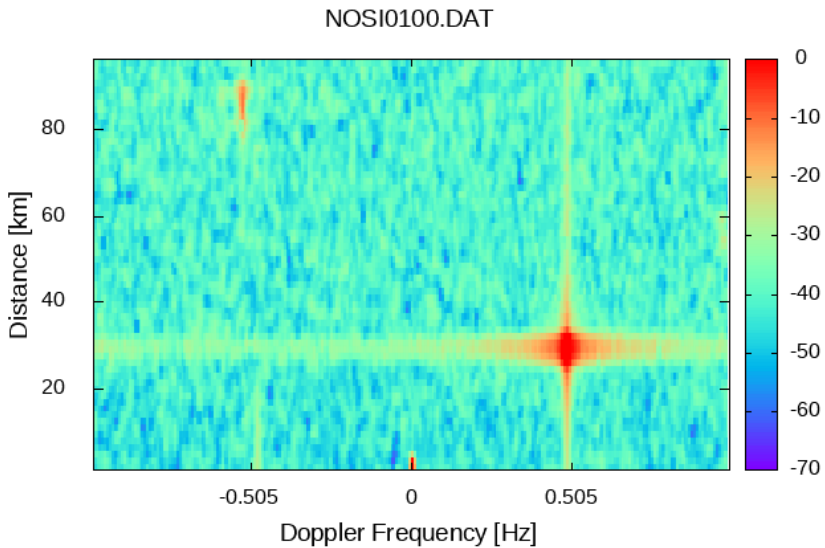
- DAの出力は高調波成分が強いため、アナログのバンドパスフィルタにかける
- レーダの受信機の前にATTを取り付け減衰させる

結果



- 約 10 分間で 1152 掃引分の観測
- ターゲットは15,30 kmに設定
- FIRによる位相補償なし
 - バッファによる遅延($10\text{ns} \cdot 88.2^\circ$)

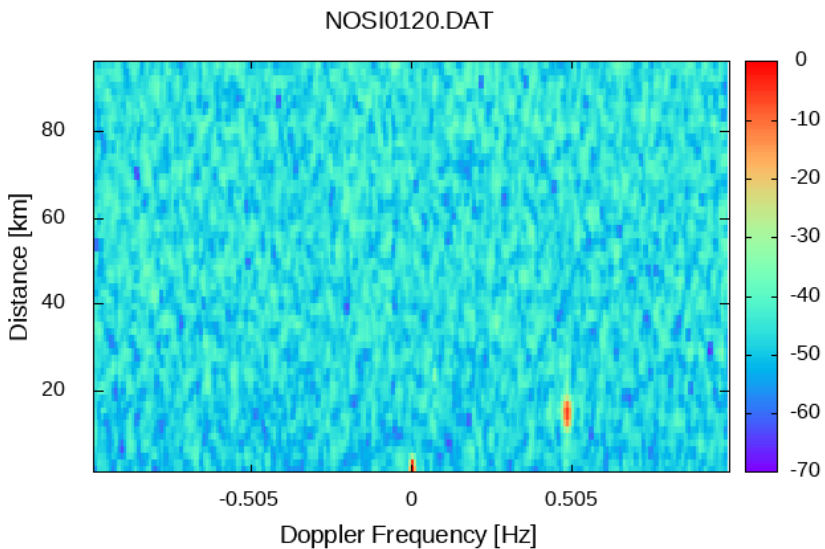
結果



doppler_f	distance	power
0.460938	30.0000	-7.12426
0.46875	30.0000	1.594053
0.476562	30.0000	7.212797
0.484375	30.0000	18.75335
0.492188	30.0000	15.76419
0.5	30.0000	2.093764
0.507812	30.0000	-3.54041
0.515625	30.0000	-2.25873

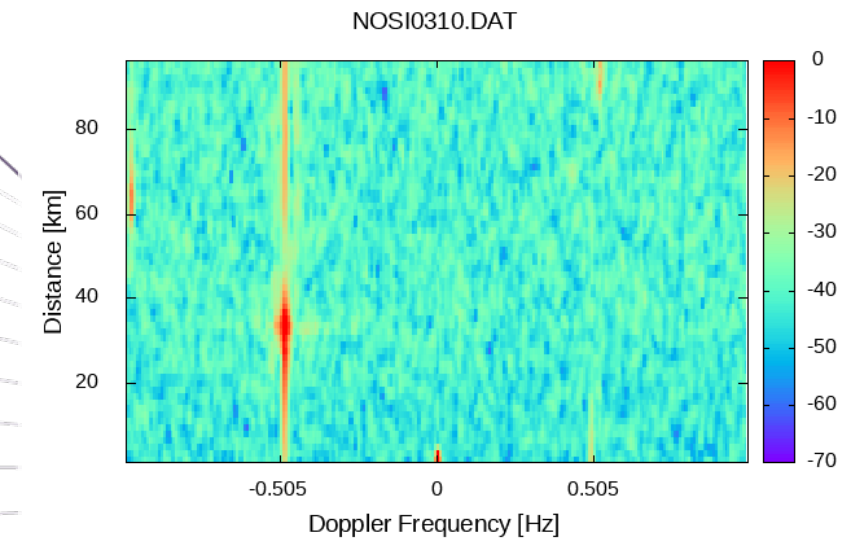
結果

- 設定通りの距離に 0.484～492 Hz 間にピークを確認

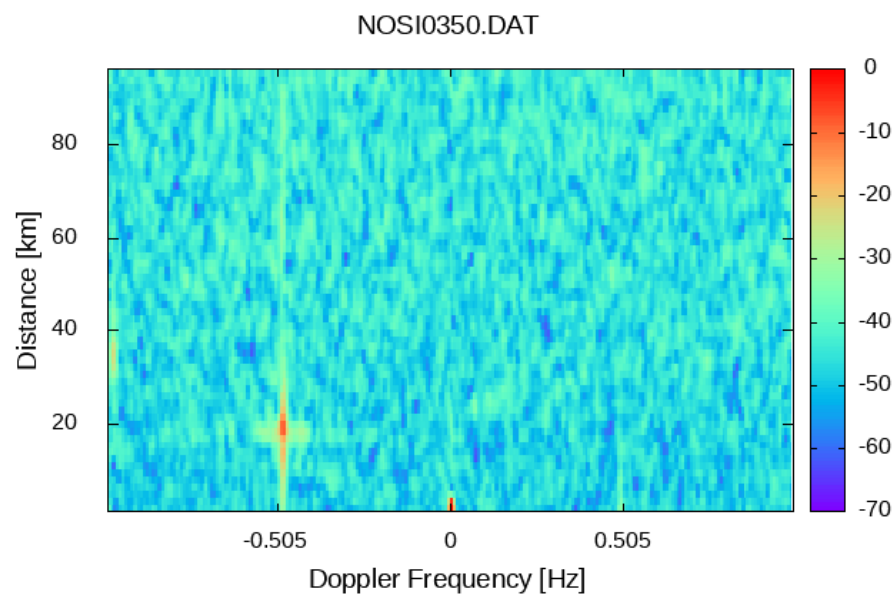


doppler_f	distance	power
0.460938	15.0000	-40.1912
0.46875	15.0000	-35.3081
0.476562	15.0000	-19.6083
0.484375	15.0000	-4.3412
0.492188	15.0000	-5.38994
0.5	15.0000	-23.4554
0.507812	15.0000	-46.5635
0.515625	15.0000	-48.1062

結果

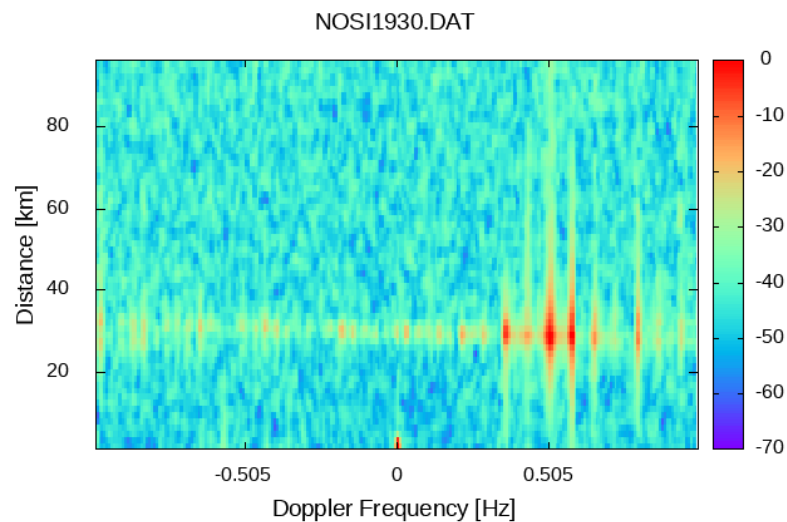
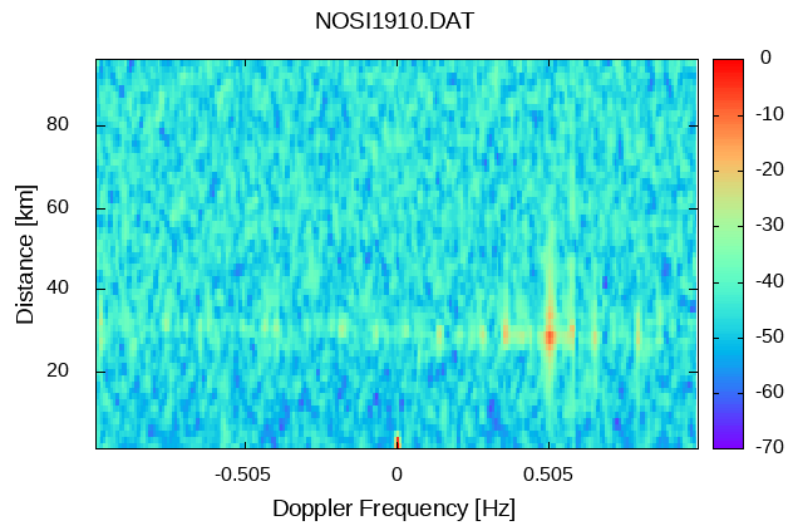


doppler_f	distance	power
-0.52344	30.0000	-27.2035
-0.51563	30.0000	-20.5361
-0.50781	30.0000	-18.951
-0.5	30.0000	0.812183
-0.49219	30.0000	6.68766
-0.48438	30.0000	-0.77961
-0.47656	30.0000	-15.9825
-0.46875	30.0000	-26.6476



-0.52344	19.5000	-38.6713
-0.51563	19.5000	-26.5783
-0.50781	19.5000	-30.0918
-0.5	19.5000	-11.5525
-0.49219	19.5000	-3.61329
-0.48438	19.5000	-10.3976
-0.47656	19.5000	-31.0248

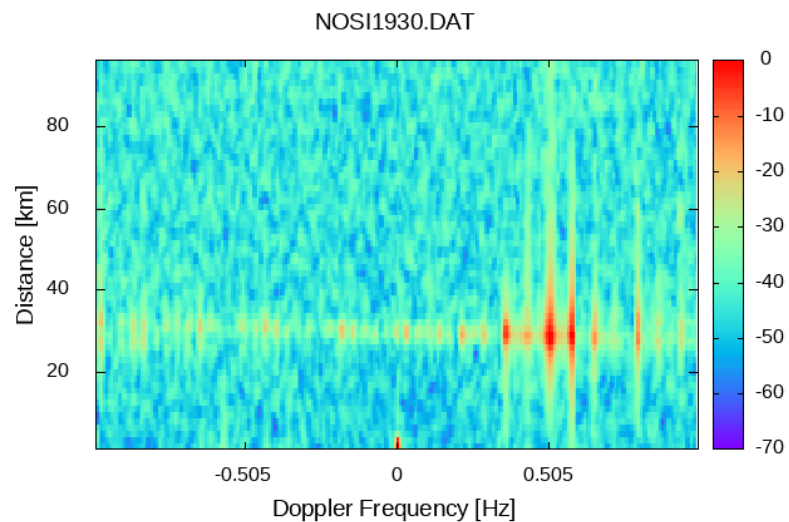
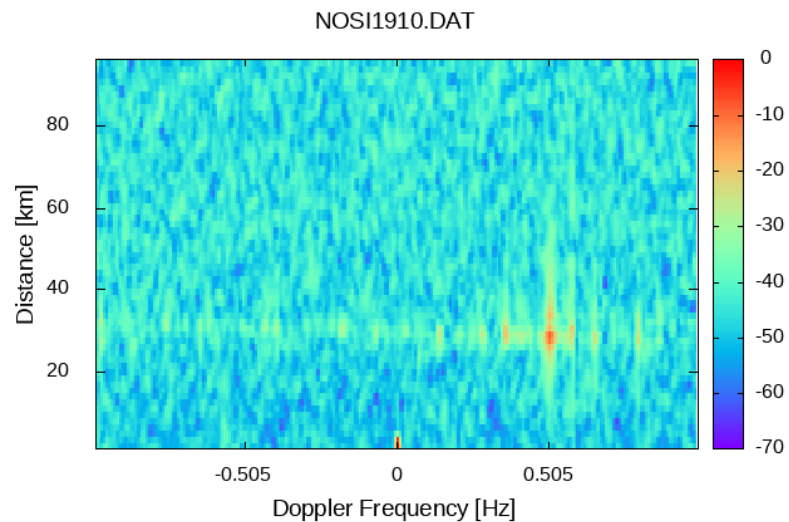
結果



- 約 10 分間で 1152 掃引分の観測
- 距離:30km、ドップラー周波数:0.5078 Hz
- FIRによる位相補償あり

doppler_f	distance	power
0.476562	30.0000	-31.75
0.484375	30.0000	-27.1226
0.492188	30.0000	-20.8363
0.5	30.0000	-9.99477
0.507812	30.0000	-10.1915
0.515625	30.0000	-15.8126
0.523438	30.0000	-24.4331
0.53125	30.0000	-26.2418

結果



結果

- サイドに強い2つのピーク
- 0.500~0.508 Hz 間にピークを確認

doppler_f	distance	power
0.476562	30.0000	-31.75
0.484375	30.0000	-27.1226
0.492188	30.0000	-20.8363
0.5	30.0000	-9.99477
0.507812	30.0000	-10.1915
0.515625	30.0000	-15.8126
0.523438	30.0000	-24.4331
0.53125	30.0000	-26.2418

まとめ

- FPGA によるハードウェアレベルでのレーダ の検証を目的とし, ターゲットである海面からの散乱波の模擬信号を作るシミュレータの設計を行いました。
- その結果, 所望のピークよりわずかにずれた位置にピークを観測し、FIRを使った位相補償を適用した波形には余分な成分波も見られた。
- 今後の課題
 - 位相補償の見直し
 - 他の周波数帯を使うレーダに対しての動作を確認
 - 現状、外から入力できるパラメータは遅延距離のみなので、ドップラー周波数のパラメータやFIRの係数セットなど設定可能にする

