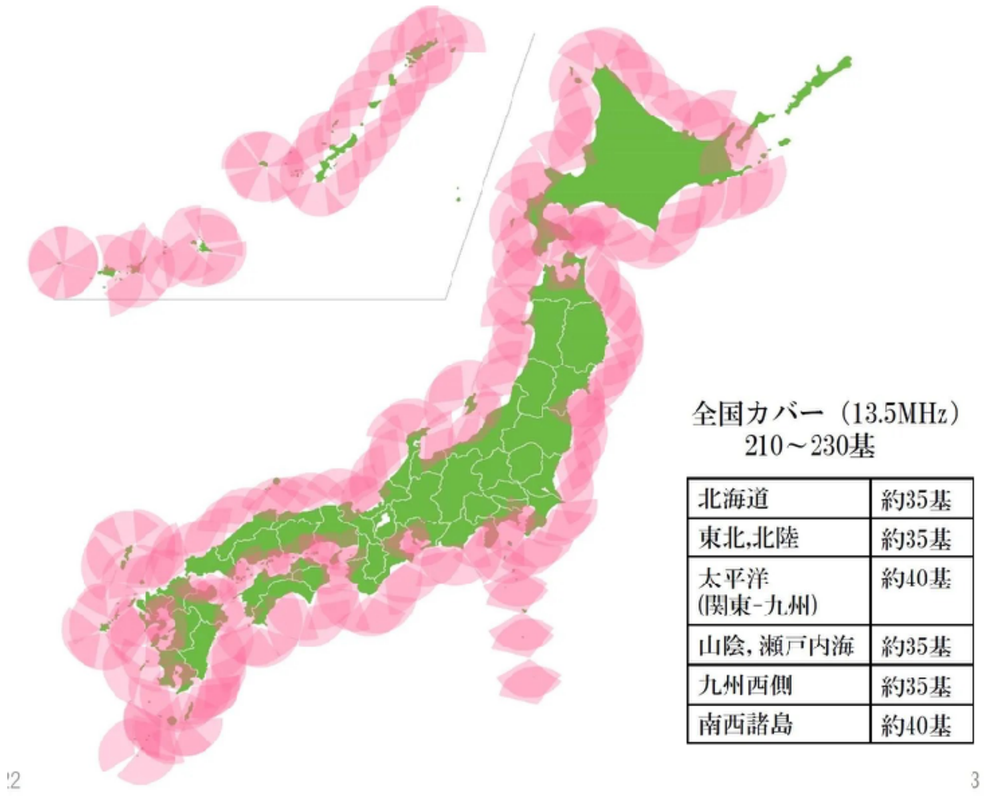
海洋レーダ送受信機の FPGA 向けディジタルフィルタ実装と最適化

琉球大学大学院理工学研究科　櫻本 大翔
熊本大学半導体・デジタル研究教育機構　長名 保範
琉球大学/ORNIS 株式会社　藤井 智史
ORNIS 株式会社　石垣 善教

背景

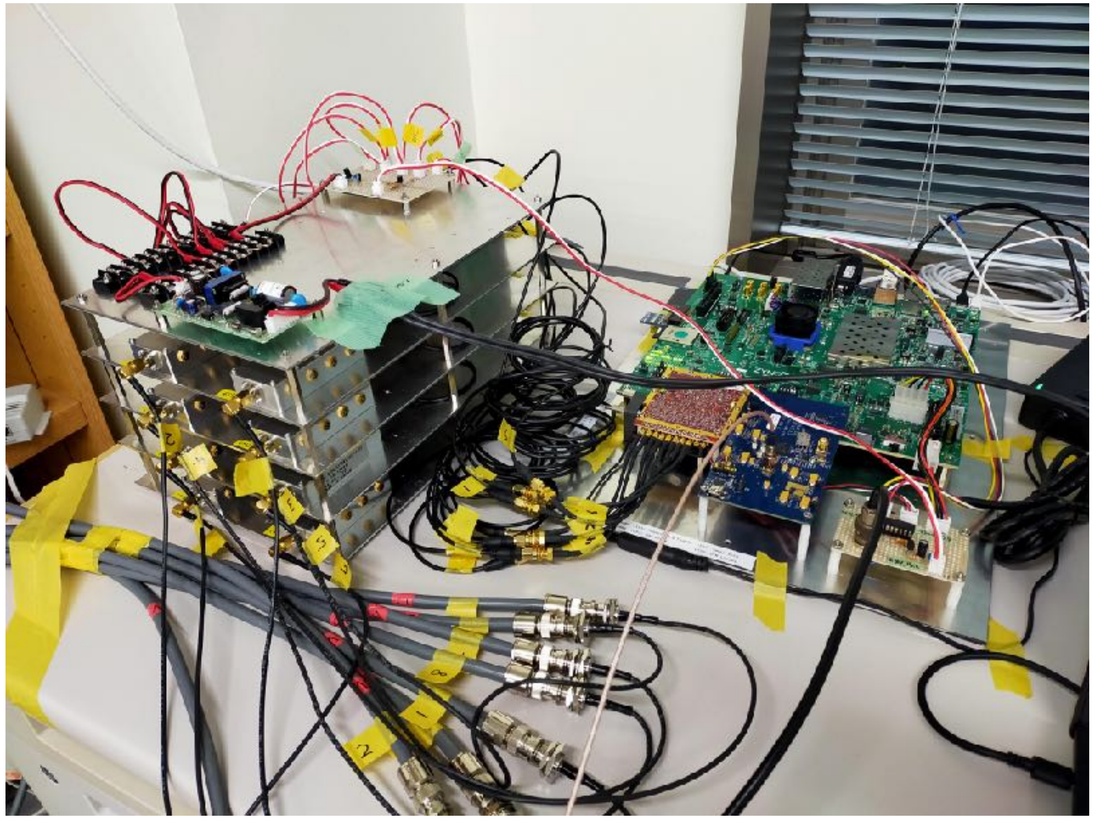
- 海洋レーダ網の全国展開
  - 全国をカバーするために
    - 13.5MHz のレーダが 210~230基必要
- 低価格な海洋レーダの開発が必須
  - FPGA ボードを用いたディジタル実装



https://www.ornis.jp/technology

各レーダ局

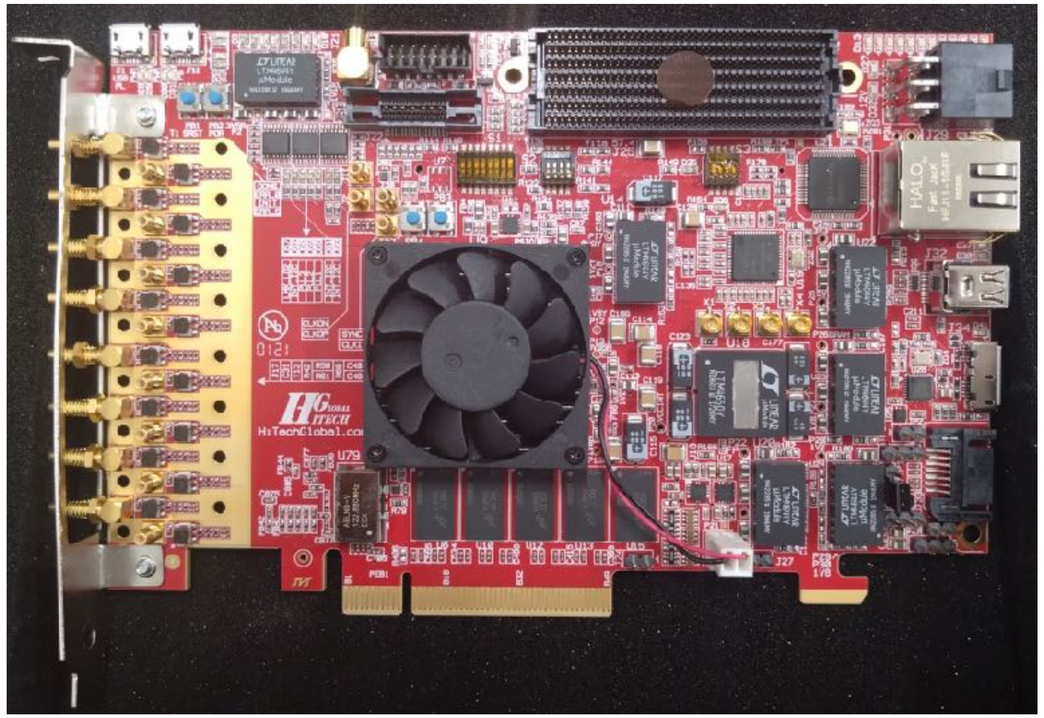
- 国内数カ所での観測
  - 新潟や函館、静岡など



御前崎(静岡)観測レーダ

- 以前運用していたボード

  RFSoC 28DR (HitechGlobal ZRF-8)

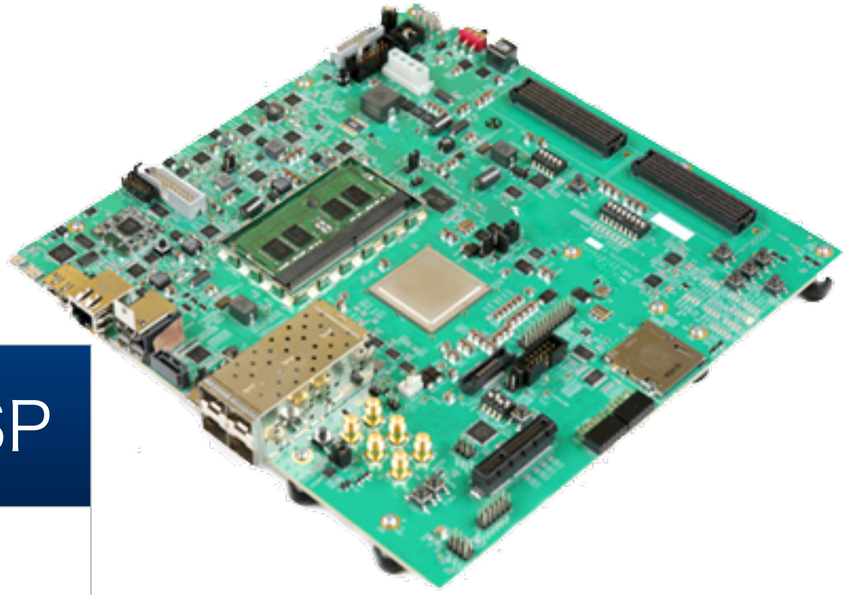


- 現在運用中のボード

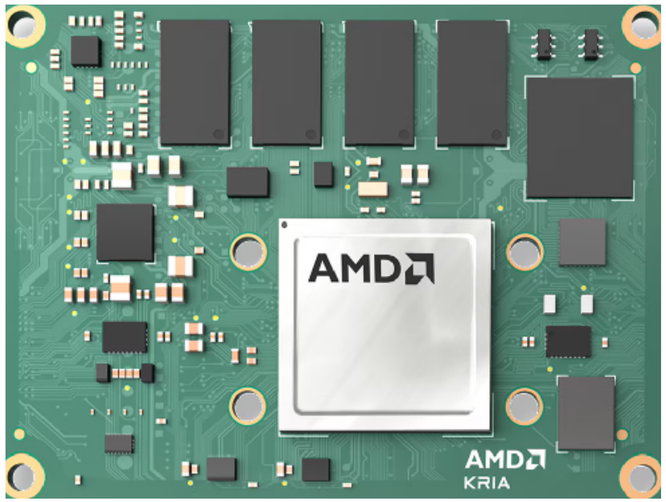
  ORNIS ボード (Kria K26)

ZCU102 と Kria K26 比較

FPGA ボード	Price	Device	LUT	BRAM	DSP
ZCU102	$3,234	ZU9EG	274,080	912	2,520
Kria K26	$325	ZU5EV	117,120	144	1,248

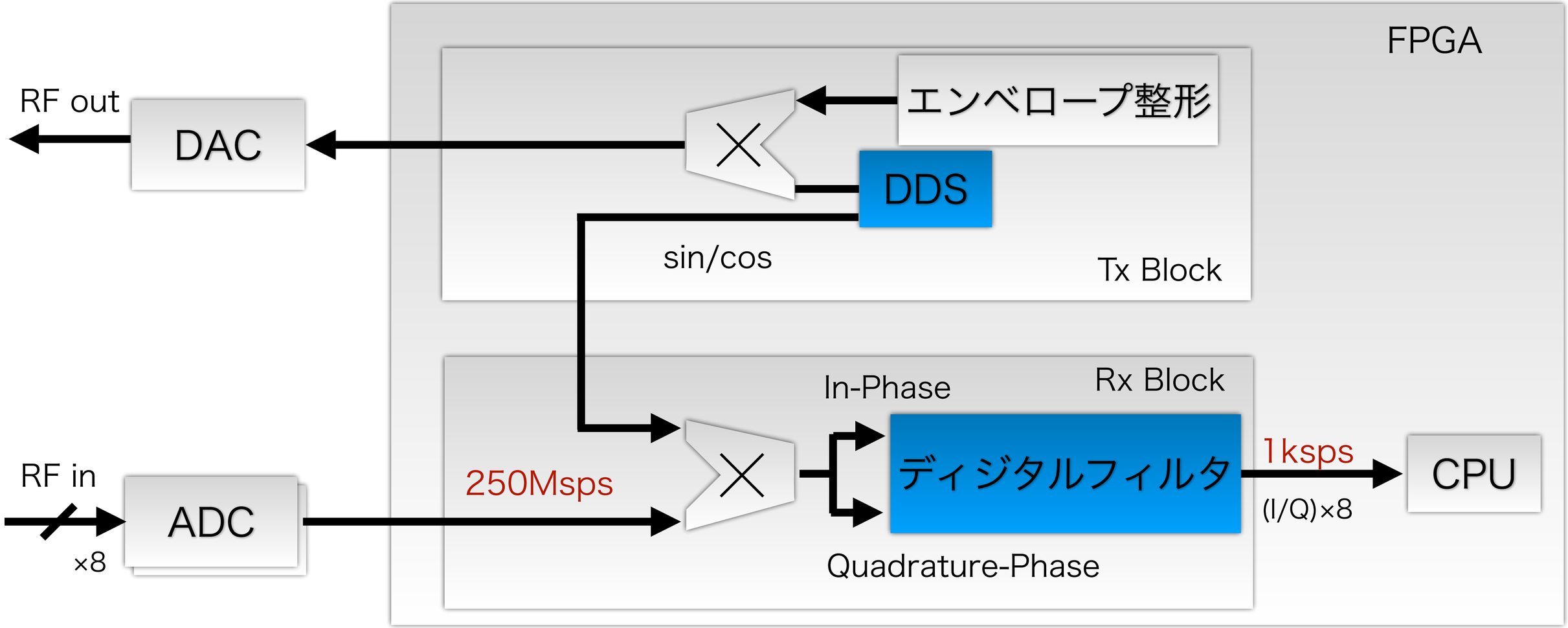


ZCU102



Kria K26

レーダ送受信機概要


FPGA
RF out
DAC
エンベロープ整形
DDS
sin/cos
Tx Block
Rx Block
In-Phase
RF in
ADC
×8
250Msps
ディジタルフィルタ
1ksps
(I/Q)×8
CPU
Quadrature-Phase

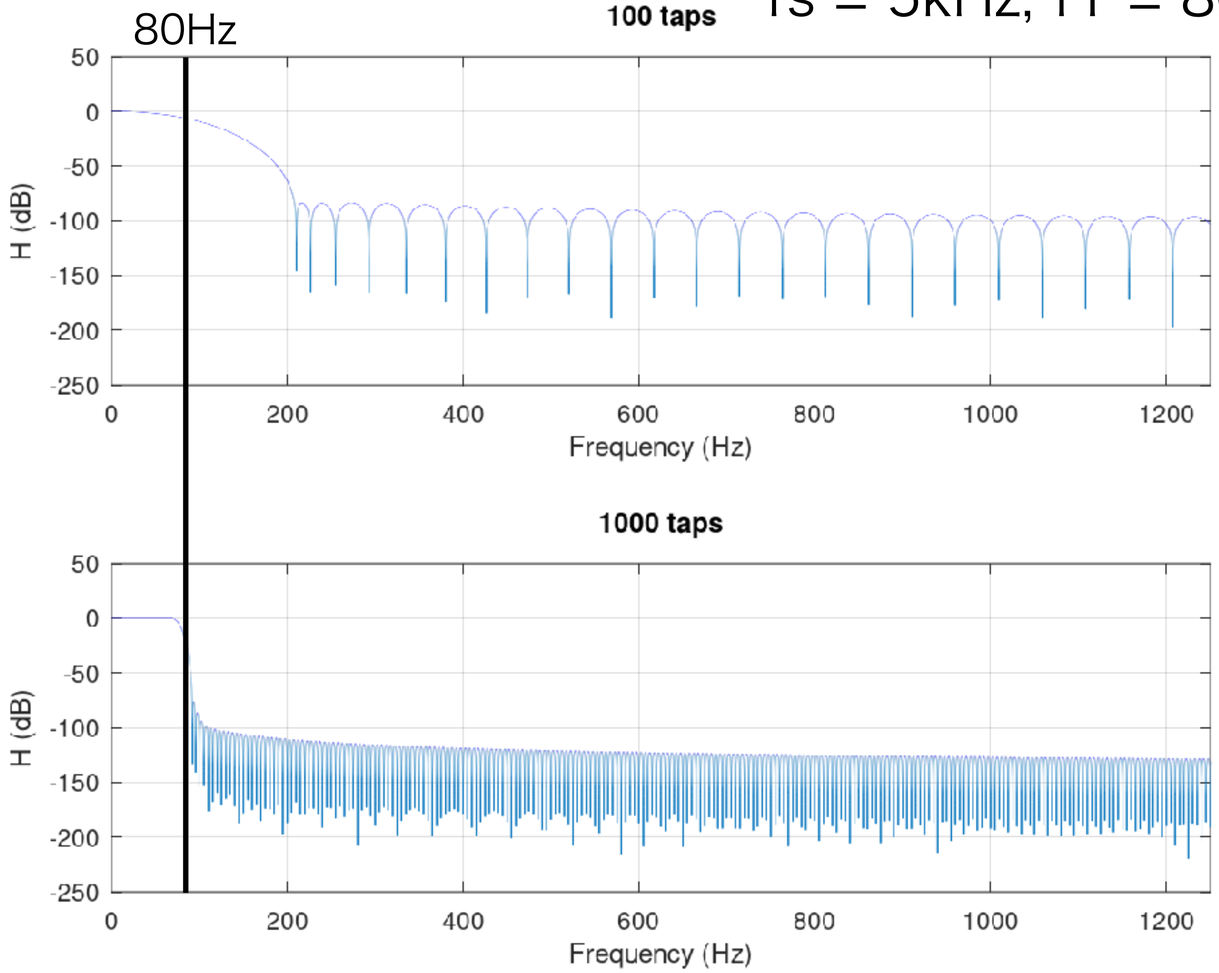
ディジタルフィルタ

Filter	長所	短所
~~IIR (Infinite Impulse Response)~~	○ 低次のフィルタで急峻な特性が可能	✖ 係数によって不安定 ✖ 誤差が大きく現れる ✖ 直線位相特性が実現不可能
FIR (Finite Impulse Response)	○ 常に安定 ○ 直線位相特性が正確 ○ 誤差が大きく現れない	✖ 急峻な特性の実現には高次のフィルタが必要
CIC (Cascaded Integrator Comb)	○ 常に安定 ○ 低次のフィルタで狭帯域を実現	✖ 他のフィルタを併用する必要がある

FIR(Finite Impulse Response)

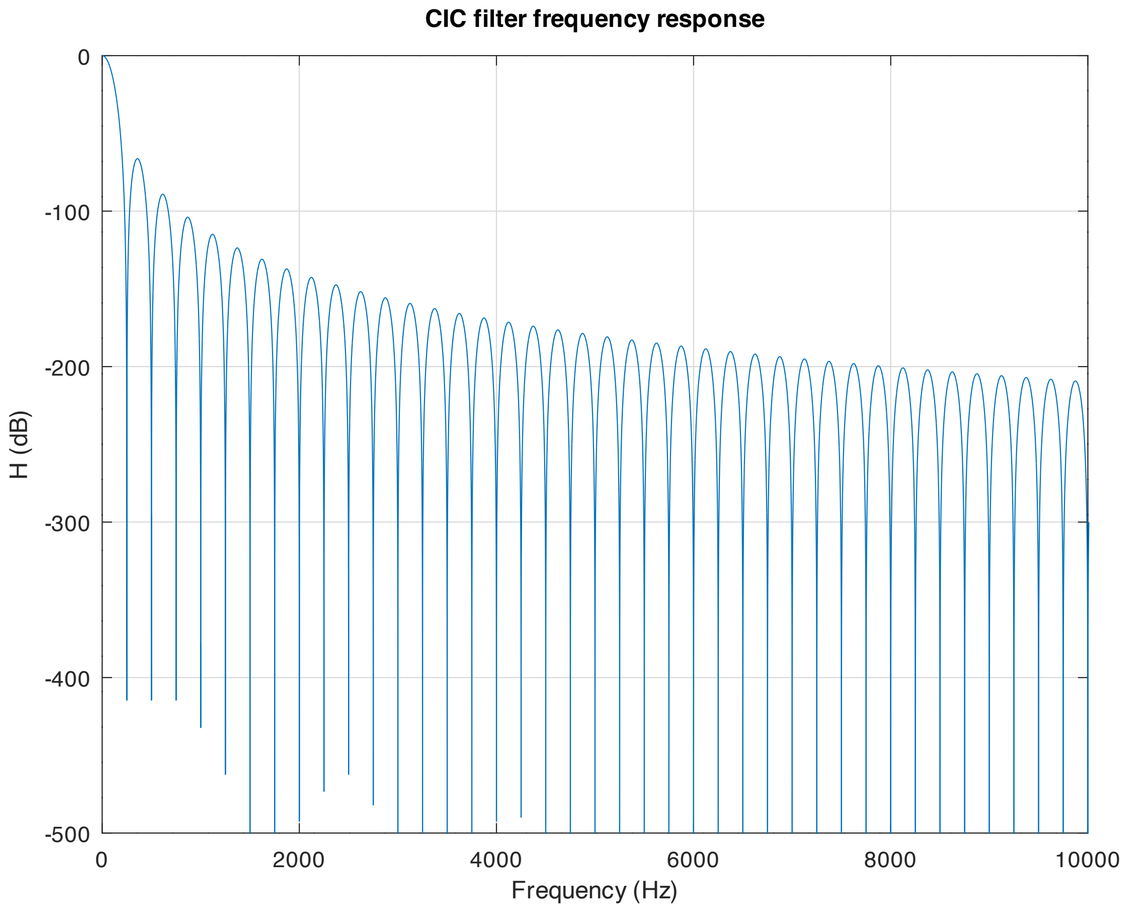
- 次数 = タップ数
- タップ数の増加
  - フィルタ特性が向上
  - 回路規模の増加

fs = 5kHz, f1 = 80Hz



CIC (Cascaded Integrator Comb)

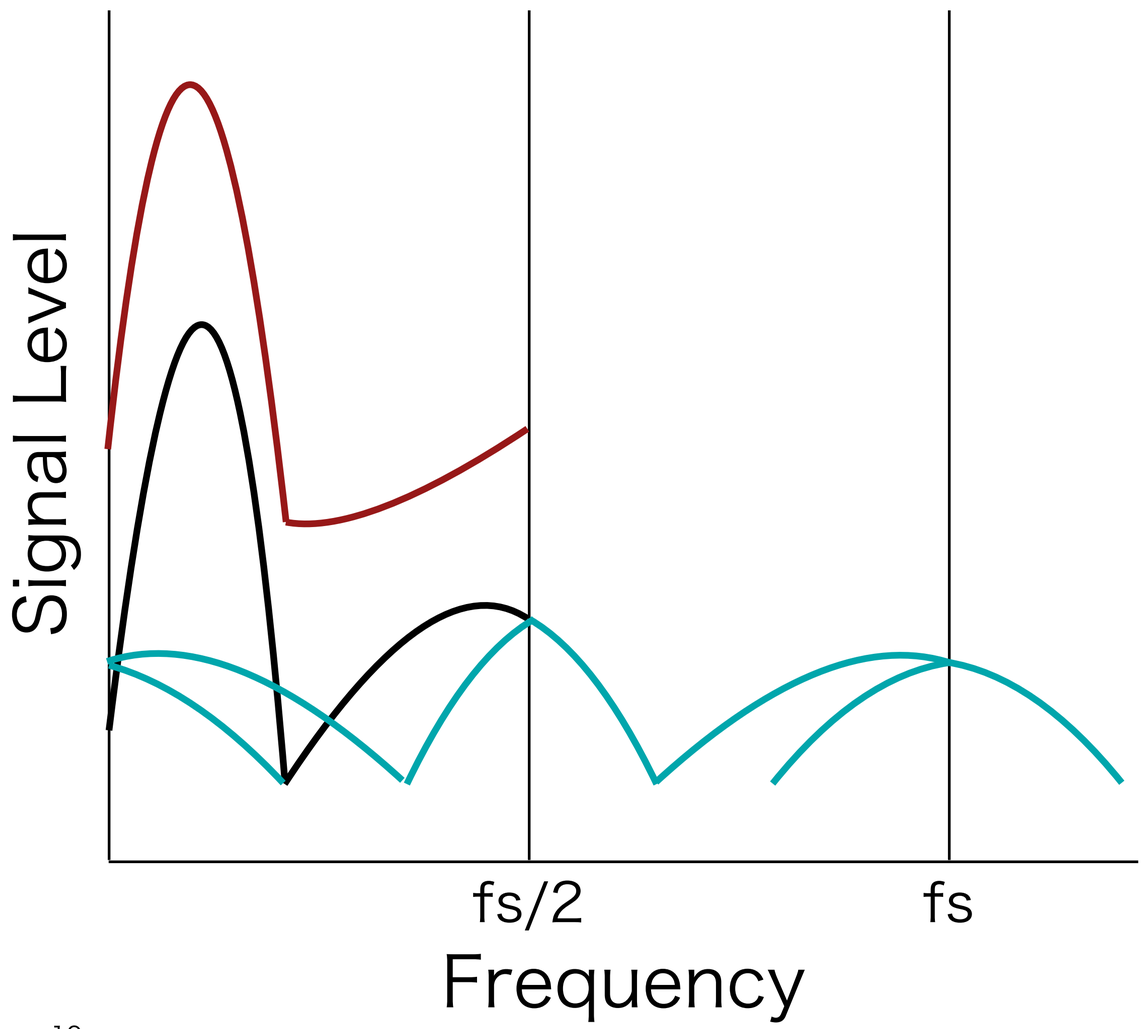
- 低いタップ数で狭帯域のフィルタを作成
  - 回路規模を大きく削減可能
- フィルタ特性に問題
  - 跳ね上がりがある
  - エイリアシングの発生
    - FIR フィルタなどと併用し抑制



エイリアシング

f_s : 出力サンプリングレート

- $f_s/2$ - f_s
  - $f_s/2$ を対象に折り返す
- f_s 以上
  - 0Hz 付近に現れる
- これら全てが加算
  - 赤色の成分として出力



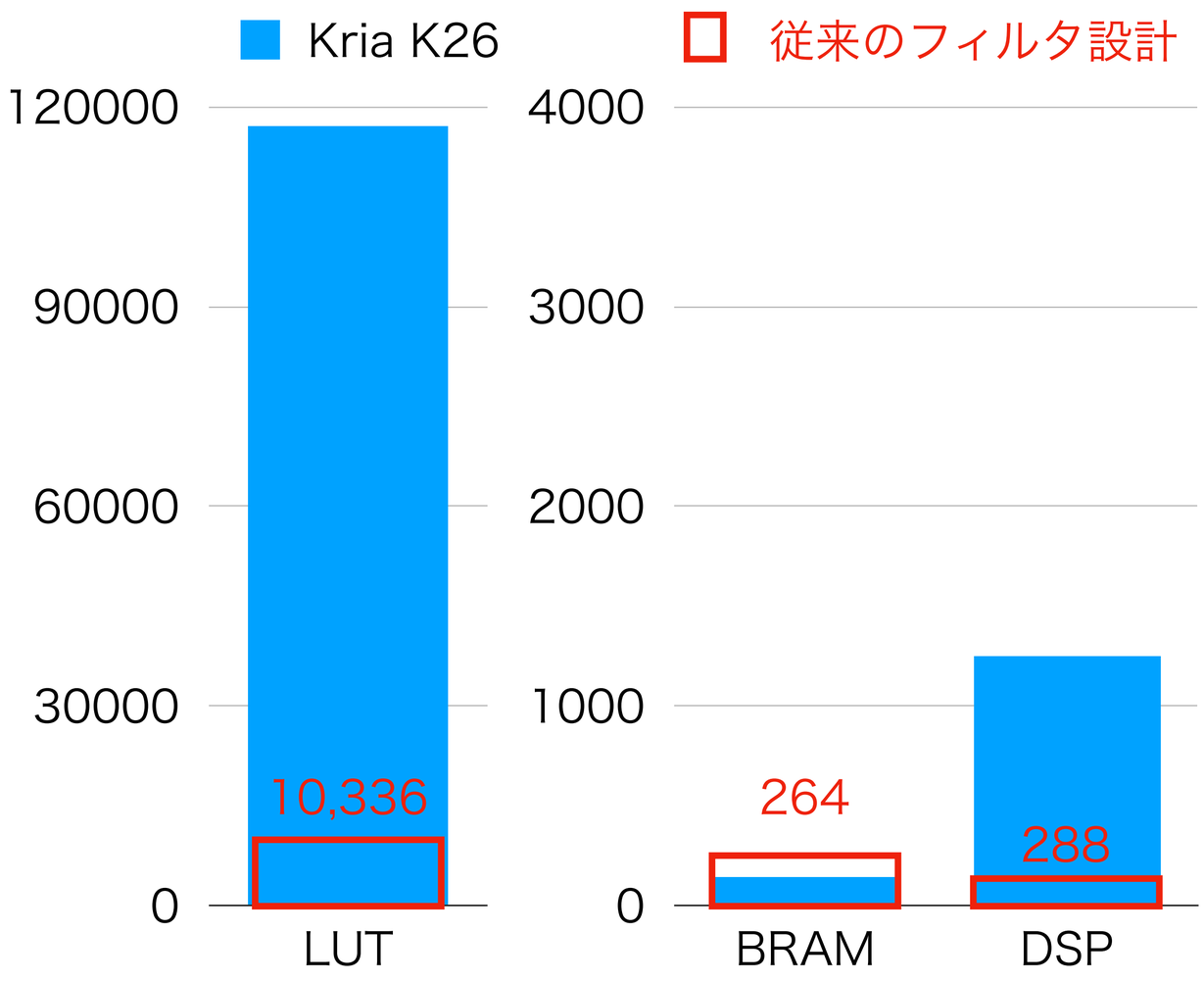
従来(ZCU102)におけるフィルタ設計

フィルタ	f_s(Hz)	R	f_1(Hz)	N	LUT	BRAM	DSP
1(CIC)	250M	1,000 : 1	-	5	3,536	0	64
2(FIR)	250k	25 : 1	1,500	512	2,000	144	112
3(FIR)	10k	10 : 1	200	512	4,800	120	112

f_s:サンプリング周波数　R:デシメーション比　f_1:カットオフ周波数　N:タップ数

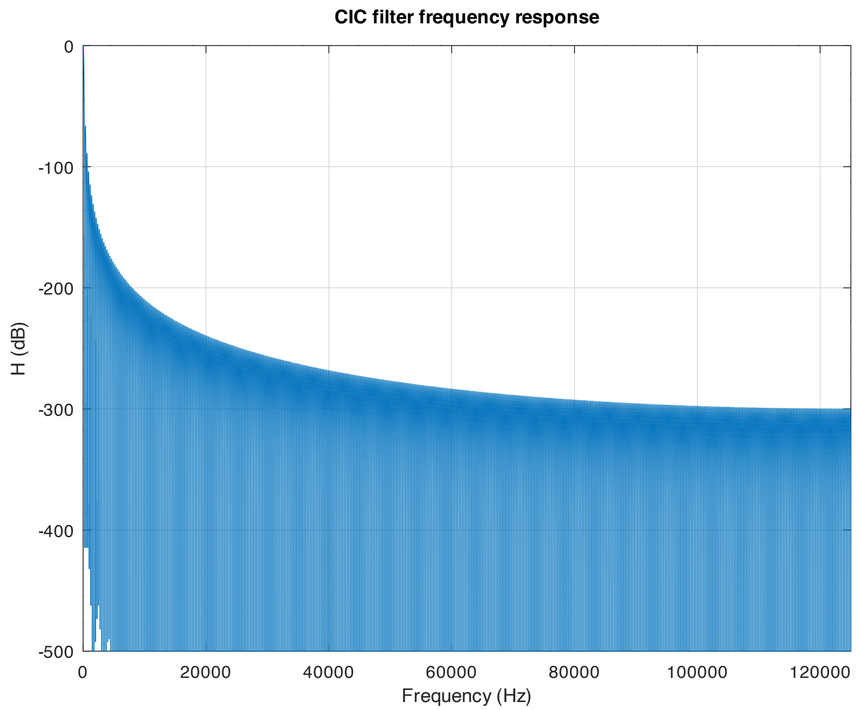
Kria K26 への実装

- 従来のフィルタ設計のまま実装
- フィルタだけ
  - LUT と DSP は余裕がある
  - BRAM が不足

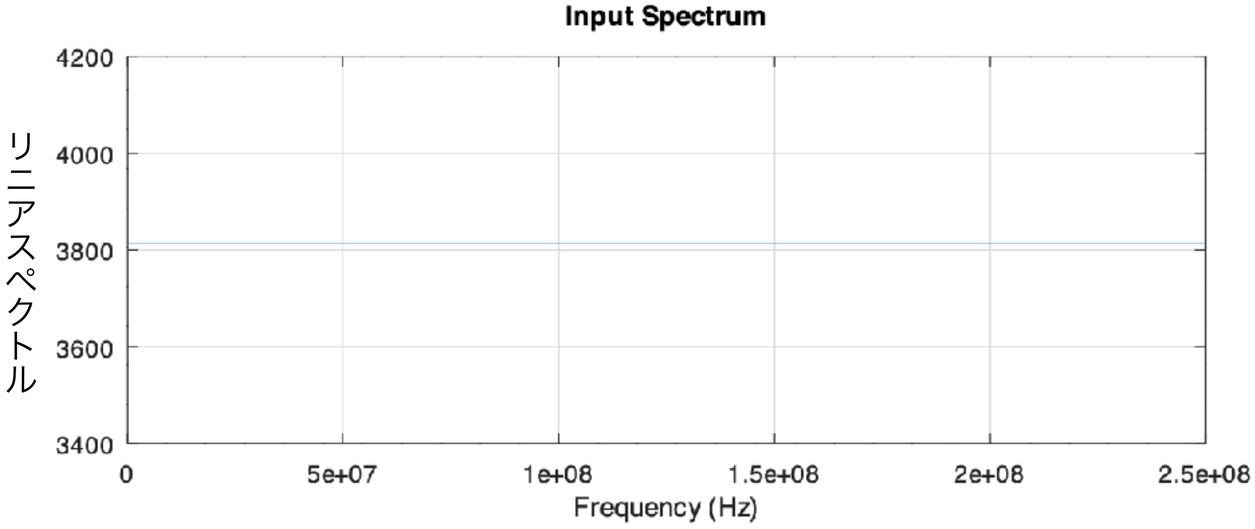


CIC によるエイリアシング

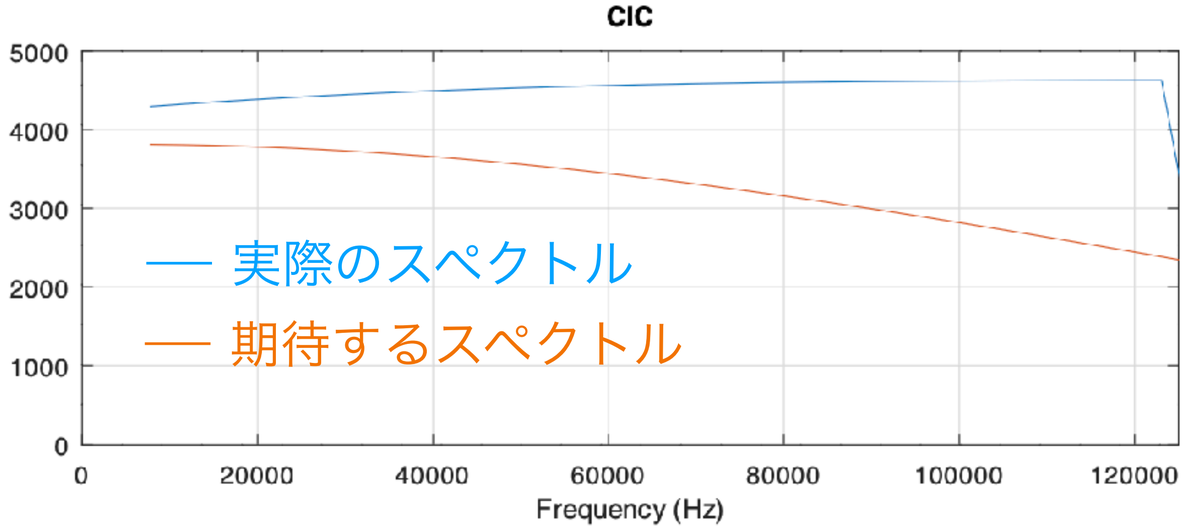
- 1段目の CIC による影響
  - 出力周波数の1/2を境として
  - エイリアシングの発生
  - 発生していない場合が橙色



CIC フィルタ特性



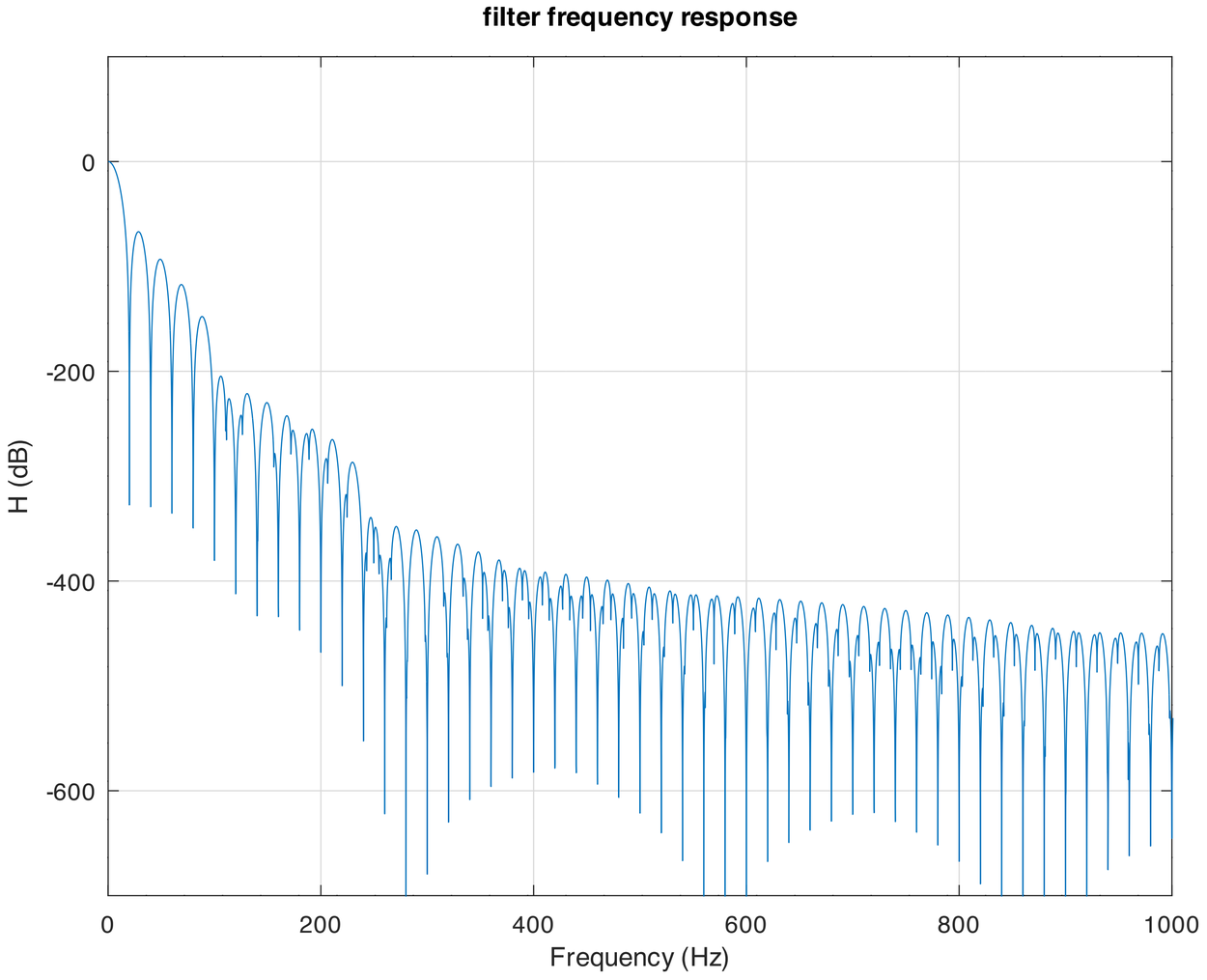
入力スペクトル



CIC 通過後のスペクトル

全体のフィルタ特性(ZCU102)

- フィルタ全体のフィルタ特性
  - 3 段の周波数応答を掛け算
- 特性
  - 阻止域までなだらか
    - CIC の影響
- 実際の観測においてのノイズ
  - エイリアシングの影響



理想的なフィルタと設計方針

- 理想的なフィルタ
  1. FPGA 変更後の回路規模に収まる
  2. エイリアシングがない
- 設計方針
  - CIC フィルタを除去し、FIR のみの構成とする
    - エイリアシングをなくす

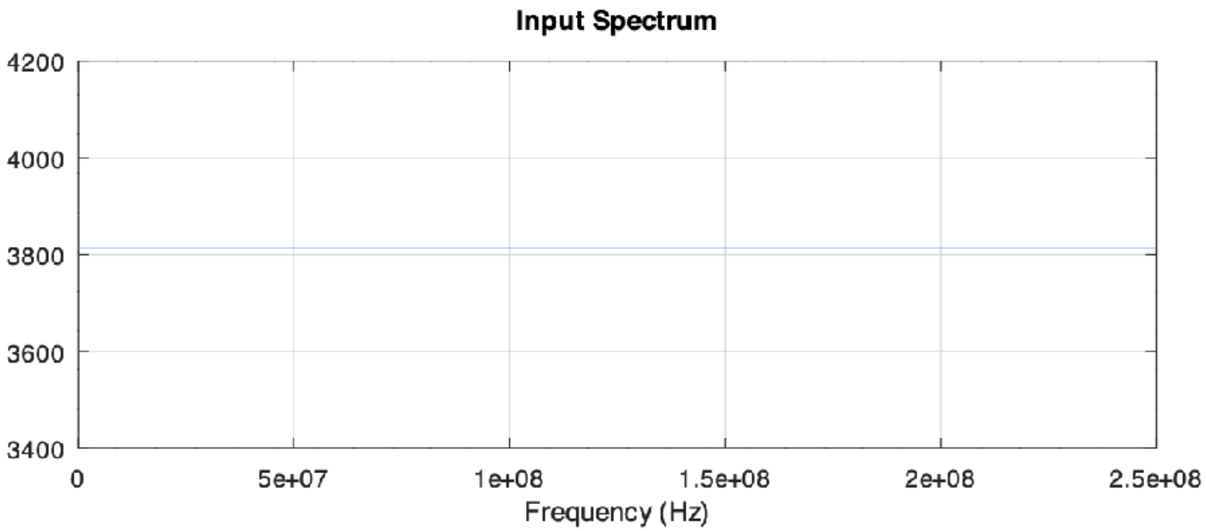
最終的なフィルタ構成

Stage	f_s(Hz)	R	f_1(Hz)	N	LUT	BRAM	DSP
1	250M	10 : 1	5M	128	19,028	0	496
2	25M	10 : 1	500k	128	6,600	32	112
3	2.5M	50 : 1	10k	500	8,327	33	112
4	50k	10 : 1	1,000	100	8,153	0	112
5	5k	5 : 1	80	1,000	6,404	33	112

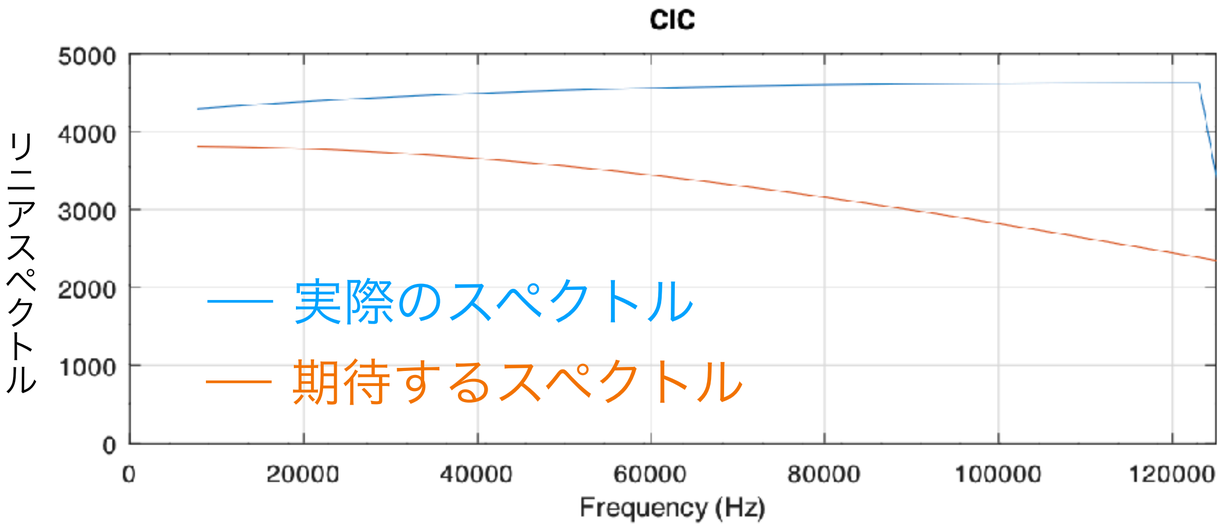
f_s:サンプリング周波数　R:デシメーション比　f_1:カットオフ周波数　N:タップ数

FIRのエイリアシング

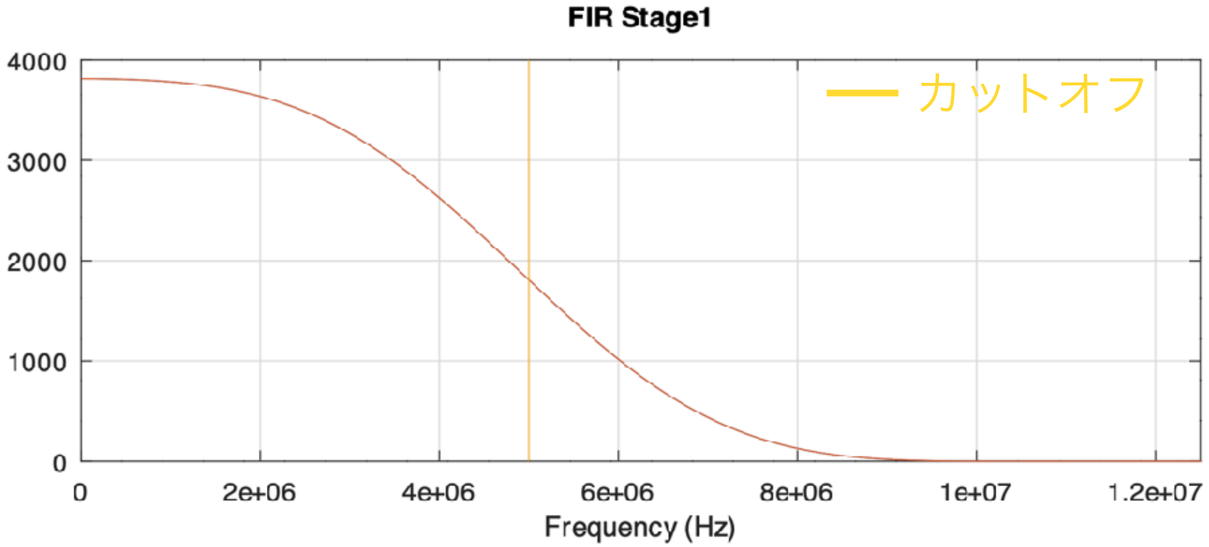
- 従来との１段目の比較
  - 折り返しがない
  - fs/2 より十分下で落ちている



入力スペクトル

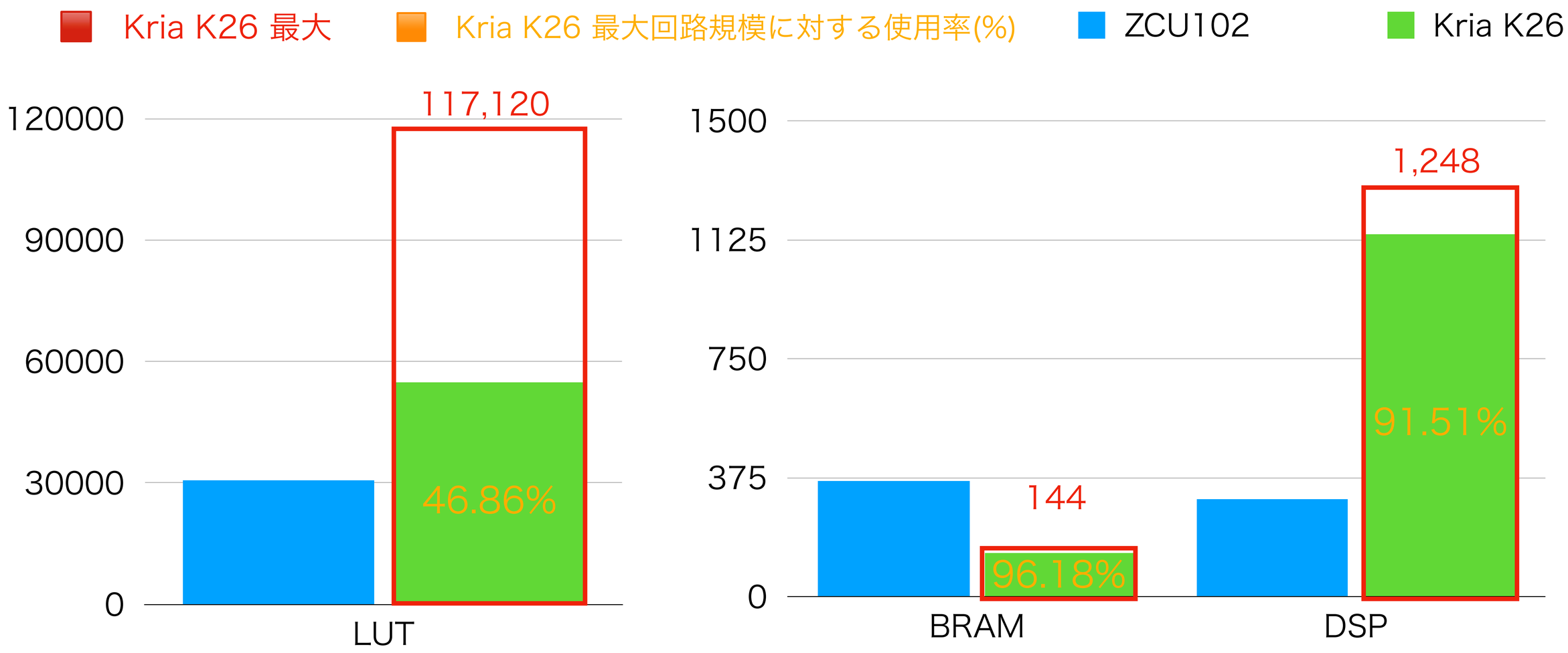


CIC 通過後のスペクトル

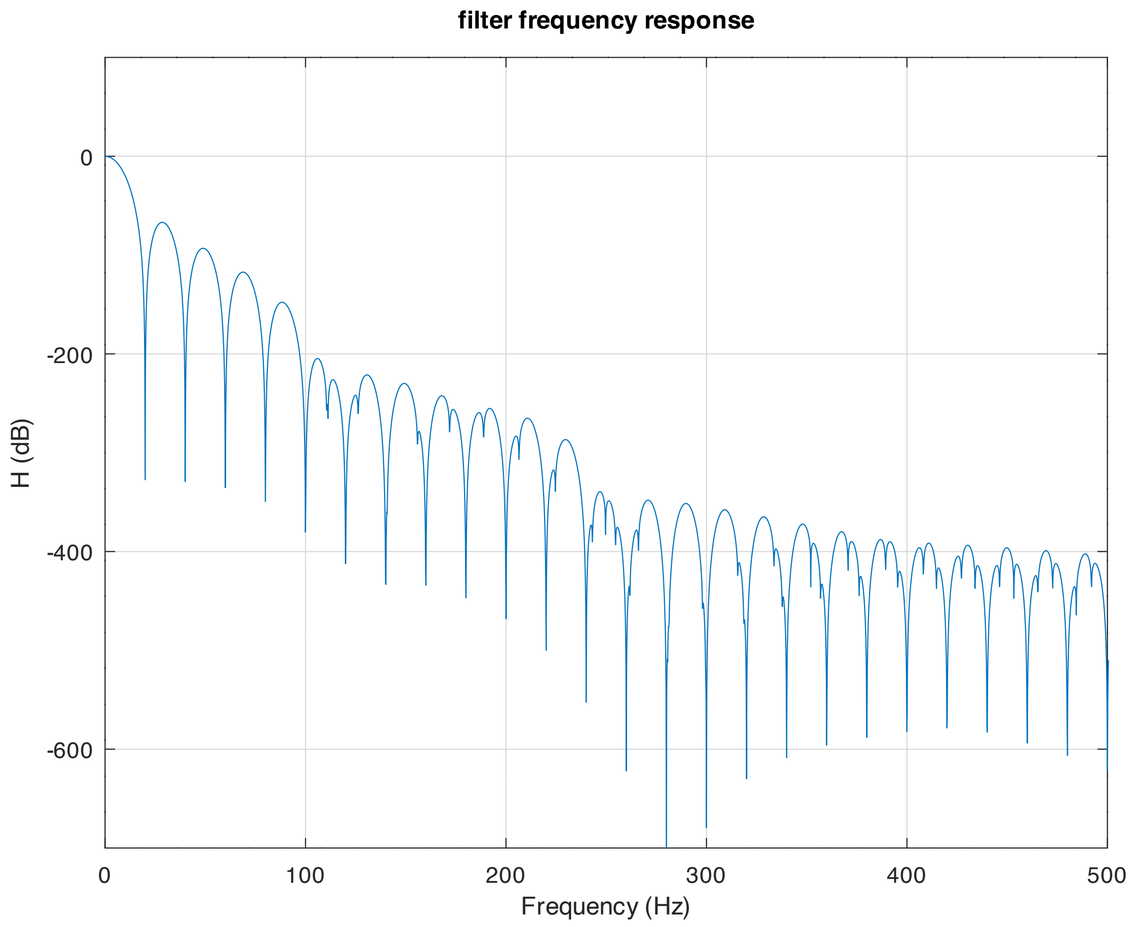


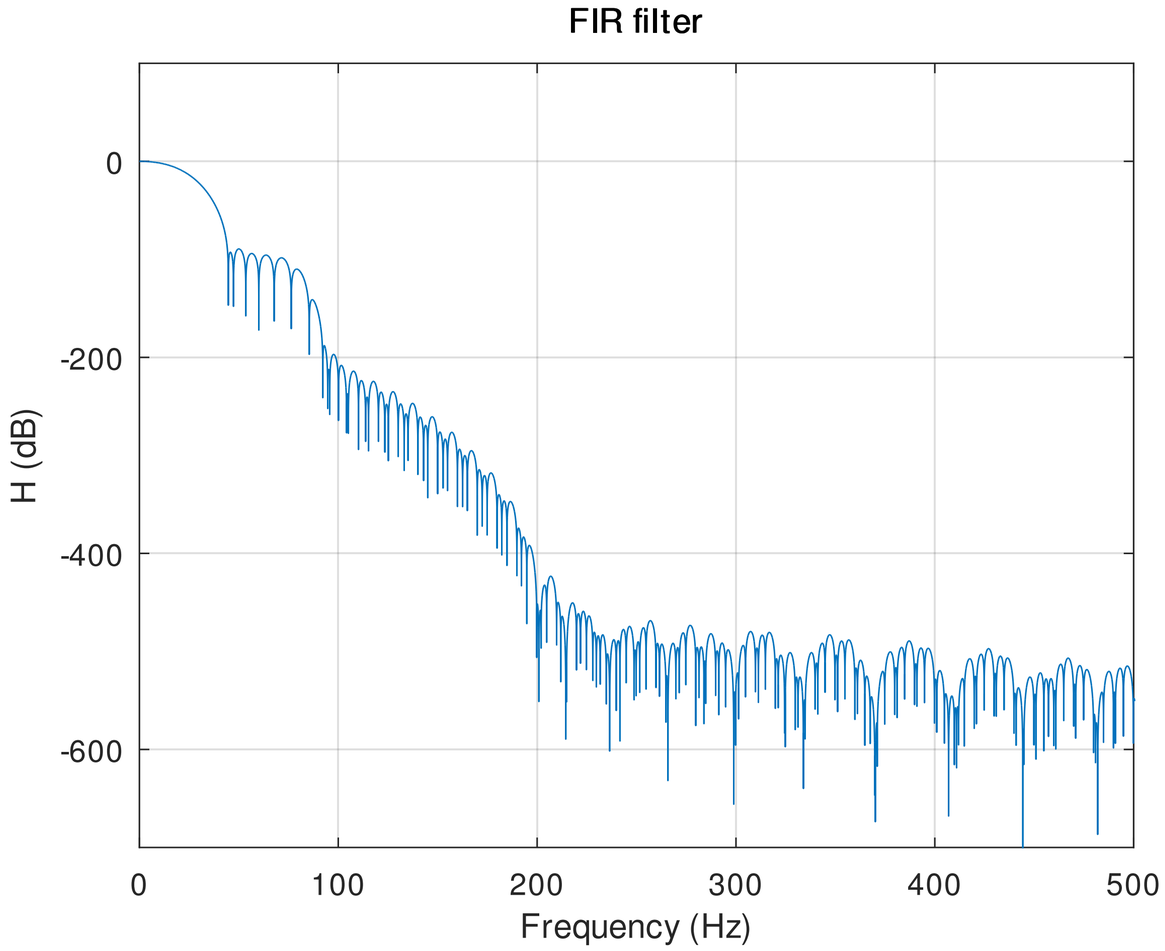
FIR 通過後のスペクトル

全体のリソース使用量


Kria K26 最大
Kria K26 最大回路規模に対する使用率(%)
ZCU102
Kria K26
120000
90000
60000
30000
0
117,120
46.86%
LUT
1500
1125
750
375
0
144
96.18%
1,248
91.51%
BRAM
DSP

全体の周波数特性


filter frequency response
0
-200
-400
-600
H (dB)
0
100
200
300
400
500
Frequency (Hz)


FIR filter
0
-200
-400
-600
H (dB)
0
100
200
300
400
500
Frequency (Hz)

まとめ

- 海洋レーダ全国展開に向けて
  - FPGA を用いたディジタル実装
  - 使用する FPGA ボードを低価格なものに
- FPGA 変更において
  - デバイス規模縮小における回路規模最適化
  - フィルタ設計の変更

→ 回路規模を抑え、エイリアシングの発生を抑制